



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0021120
Application Number

출원 년 월 일 : 2003년 04월 03일
Date of Application APR 03, 2003

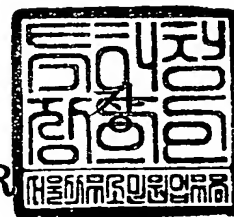
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 01 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.04.03
【발명의 명칭】	버스트 읽기 동작 모드를 갖는 플래시 메모리 장치
【발명의 영문명칭】	FLASH MEMORY DEVICE WITH BURST READ MODE OF OPERATION
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이승근
【성명의 영문표기】	LEE, SEUNG-KEUN
【주민등록번호】	661206-1011411
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 신정마을 성지아파트 505동 1204호
【국적】	KR
【발명자】	
【성명의 국문표기】	박진성
【성명의 영문표기】	PARK, JIN-SUNG
【주민등록번호】	710819-1690617
【우편번호】	442-470

【주소】 경기도 수원시 팔달구 영통동 1052-2 황골쌍용아파트 248동 604호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 45 면 45,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 30 항 1,069,000 원
【합계】 1,143,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

여기에 개시되는 플래시 메모리 장치는 각각이 복수 개의 메모리 셀들과 연결된 복수 개의 열들과; 열 어드레스에 응답하여 상기 복수 개의 열들 중 일부를 선택하는 열 선택 회로와; 그리고 상기 열 선택 회로에 의해서 선택된 열들에 연결된 복수 개의 감지 증폭기 그룹들을 포함한다. 상기 열 선택 회로는 상기 열 어드레스가 $4N$ (N 은 1 또는 그 보다 큰 정수)에 정렬되었는지의 여부에 따라 상기 열들을 가변적으로 선택한다. 예를 들면, 상기 열 선택 회로는 상기 열 어드레스가 $4N$ 에 정렬될 때 상기 열 어드레스의 열들을 선택하고 상기 열 어드레스가 $4N$ 에 정렬되지 않을 때 상위 열 어드레스의 열들을 선택한다.

【대표도】

도 6

【명세서】

【발명의 명칭】

버스트 읽기 동작 모드를 갖는 플래시 메모리 장치{FLASH MEMORY DEVICE WITH BURST READ MODE OF OPERATION}

【도면의 간단한 설명】

도 1은 본 발명의 제 1 실시예에 따른 플래시 메모리 장치를 개략적으로 보여주는 블록도;

도 2a 내지 도 2d는 열 어드레스가 4N에 정렬되었는 지의 여부에 따른 감지 증폭기 블록들의 데이터 출력 순서를 보여주는 도면들;

도 3은 도 1에 도시된 열 디코더 회로의 바람직한 실시예를 보여주는 블록도;

도 4는 도 3에 도시된 디코더 회로의 바람직한 실시예를 보여주는 회로도;

도 5는 도 3에 도시된 판별 회로의 바람직한 실시예를 보여주는 회로도;

도 6은 도 1에 도시된 열 게이트 회로의 바람직한 실시예를 보여주는 회로도;

도 7은 본 발명의 제 2 실시예에 따른 플래시 메모리 장치를 보여주는 블록도;

도 8은 하나의 섹터와 관련된 도 7의 열 게이트 회로 및 섹터 선택 회로를 보여주는 회로도;

도 9는 도 7에 도시된 제 3 열 디코더 회로의 바람직한 실시예를 보여주는 블록도;

도 10은 도 7에 도시된 제 2 열 게이트 블록의 바람직한 실시예를 보여주는 회로도; 그리고

도 11은 일반적인 열 게이트 회로를 보여주는 회로도이다.

*** 도면의 주요 부분에 대한 부호 설명 ***

100, 1000 : 메모리 장치 110, 1100 : 메모리 셀 어레이

120, 1200, 1300, 1400, 1700 : 디코더 회로

130, 1500, 1800 : 열 게이트 회로 140, 1800 : 감지 증폭기 회로

1600 : 섹터 선택 회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <17> 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 연속적인 버스트 읽기 동작 (continuous burst read operation)을 지원하는 플래시 메모리 장치에 관한 것이다.
- <18> 전자 분야에서 상업적인 성공을 거둔 메모리 장치는 플래시 메모리 장치이다. 이러한 상업적인 성공은 전원 없이 오랜 시간에 걸쳐 데이터를 저장하는 플래시 메모리 장치의 능력에 부분적으로 기인한다. 게다가, 플래시 메모리 장치는 전자 장치에 실장된 후에 최종 사용자 (end user)에 의해서 소거 및 프로그램될 수 있다. 그러한 기능성은, 특히, 셀룰러 전화기 (cellular telephones), PDA (personal digital assistant), 그리고 컴퓨터 BIOS 저장 장치 (storage)와 같은 전자 장치 분야와, 전원이 일시적으로 멈추고 프로그램 기능이 요구되는 다른 분야에서 유용하다.
- <19> 플래시 메모리 장치는 다른 형태의 메모리 장치에서 사용되는 것과 유사한 메모리 트랜지스터들 또는 셀들의 어레이로 구성된다. 플래시 메모리 장치는, 그러나, 메모리 트랜지스터들의 제어 게이트와 기판 영역 사이에 플로팅 게이트 (floating gate)를 추가함으로써 메모리

셀들의 불 휘발성 (non-volatility)을 달성할 수 있다. 다른 메모리 장치와 마찬가지로, 메모리 트랜지스터들은 행들과 열들로 배열되어 트랜지스터들의 어레이를 형성한다. 메모리 분야에서 잘 알려진 바와 같이, 각 행에 속하는 메모리 셀들의 제어 게이트들은 일련의 워드 라인들에 연결되며, 그 결과 각 행의 메모리 셀들은 대응하는 워드 라인을 선택함으로써 액세스될 수 있다. 마찬가지로, 각 열에 속하는 셀들의 드레인 영역들은 일련의 비트 라인들에 연결되며, 그 결과 각 열의 셀들은 대응하는 비트 라인들을 선택함으로써 액세스될 수 있다. 메모리 셀들의 드레인 영역들은 공통 소오스 라인 (common source line)에 연결된다. 몇몇 플래시 메모리 장치들에 있어서, 메모리 셀들의 어레이는 개별적인 트랜지스터 어레이를 구성하는 섹터들 (sectors)로 분리되어 프로그램 및 소거 동작들에 유연성 (flexibility)을 제공한다.

<20> 각 메모리 셀에 저장된 데이터는, 이 분야에 잘 알려진 바와 같이, 이진 데이터 값 "1" 또는 "0"을 나타낸다. 어레이 내의 특정 셀에 프로그램, 읽기 또는 소거 동작을 수행하기 위해서, 다양한 특정 전압들이 메모리 셀의 제어 게이트, 드레인 영역, 그리고 소오스 영역에 인가된다. 이러한 특정 전압들을 비트 라인, 워드 라인, 그리고 공통 소오스 라인에 인가함으로써, 비트 라인 및 워드 라인의 교차 영역에 있는 개별 메모리 셀이 프로그램 또는 읽기 동작을 위해서 선택될 수 있다.

<21> 메모리 셀을 프로그램하기 위해서, 메모리 셀의 제어 게이트 및 드레인 영역에는 소정 프로그램 전압들 (예를 들면, 10V와 5-6V)이 인가되고 소오스는 접지된다. 제어 게이트와 드레인 영역의 전압들은 핫 일렉트론들 (hot electrons)이 생성되게 하여 플로팅 게이트 상에 음의 전하를 형성한다. 핫 일렉트론들은 플로팅 게이트에 포획된다. 이러한 전자 전달 메카니즘은 종종 채널 핫 일렉트론 (channel hot electron: CHE) 주입이라 불린다. 프로그램 전압들이 제거될 때, 플로팅 게이트 상의 음의 전하는 유지되며, 이는 문턱 전압이 높아지게 한다. 문턱

전압은 메모리 셀이 프로그램되었는 지 또는 메모리 셀이 프로그램되지 않았는 지의 여부를 결정하기 위한 읽기 동작 동안 사용된다.

- <22> 메모리 셀들은 제어 게이트와 드레인 영역에 특정 전압들 (예를 들면, 4.5V와 1V)을 인가하고 소오스를 접지시킴으로써 읽혀진다. 비트 라인 전류 또는 전압은 감지 증폭기에 의해서 감지된다. 셀이 프로그램되면, 문턱 전압은 상대적으로 높고 비트 라인 전류는 상대적으로 낮다. 반면에, 셀이 소거되면, 문턱 전압은 상대적으로 낮고 비트 라인 전류는 상대적으로 높다.
- <23> 프로그램 절차와 반대로, 플래시 메모리 장치는 벌크 단위로 소거되며, 그 결과 메모리 섹터 내의 모든 메모리 셀들이 동시에 소거된다. 메모리 섹터 전체를 소거하기 위한 한 가지 방법은 섹터의 모든 워드 라인들과 벌크 영역에 특정 전압들 (예를 들면, -10V와 6V)을 인가하고 메모리 셀들의 드레인 영역들과 공통 소오스 라인을 플로팅 상태로 남겨두는 것이다. 이는 F-N 터널링 (Fowler-Nordheim tunneling)을 통해 플로팅 게이트에서 소오스 영역으로 전자 터널링 (electron tunneling)을 일으키며, 그 결과 메모리 섹터 내의 메모리 셀들 각각의 플로팅 게이트로부터 음의 전하가 제거된다.
- <24> 일반적으로, 읽기 동작은 랜덤 액세스 기능처럼 수행되며, 사용자는 읽고자 하는 메모리 장치의 메모리 어레이에 특정 어드레스를 지정한다. 하지만, 메모리 장치에는 버스트 읽기 모드 (burst read mode)가 제공될 수 있다. 버스트 읽기 모드는 메모리 어레이 전체의 데이터 또는 특정 워드 라인에 연결된 메모리 셀들의 데이터를 순차적으로 읽고 연속적인 클록 사이클들 (succeeding clock cycles) 동안 사용자에게 읽혀진 데이터를 출력한다. 이 모드에서, 사용자는 메모리 장치 내에서 순차적으로 어드레스가 생성되기 때문에 어드레스를 제공할 필요가 없다. 일반적으로, 이러한 기능은 사용자가 메모리 장치 내의 모든 데이터 또는 특정 행에 속하는 메모리 셀들의 데이터를 출력하기 원할 때 유용하다.

<25> 버스트 읽기 모드에서 연속적으로 출력하고자 하는 데이터 워드들의 수에 대응하는 감지 증폭기 그룹들이 필요하다. 버스트 읽기 동작에 필요한 일반적인 열 게이트 구조를 보여주는 도 11을 참조하면, 4개의 데이터 워드들을 출력하고자 하는 경우, 4개의 감지 증폭기 그룹들 (10, 11, 12, 13)과 4개의 열 게이트 회로들 (20, 21, 22, 23)이 필요하다. 열 게이트 회로들 (20-23)은 대응하는 열 선택 신호들 (Yset00-Yset03, Yset10-Yset13, Yset20-Yset23, Yset30-Yset33)에 응답하여 열들 (또는 비트 라인들)을 선택한다.

<26> 버스트 읽기 동작의 속도를 높이하고자 버스트 모드로 읽혀지는 데이터 워드들의 수를 증가시키는 경우, 데이터 워드들의 증가된 수에 비례하여 감지 증폭기 그룹들 및 열 선택 회로들이 필요하다. 열 선택 회로들이 증가됨에 따라, 그에 비례하여 열 선택 신호들의 그룹들 역시 증가되어야 한다. 이는 열 선택 신호들을 전달하는 신호 라인들이 증가되는 데이터 워드 수에 비례하여 증가됨을 의미한다. 예를 들면, 4개의 데이터 워드들을 버스트 모드로 읽고자 하는 경우, 각 열 선택 회로에는 4개의 열 선택 신호들이 인가되기 때문에 16개의 열 선택 신호 라인들이 필요하다. 8개의 데이터 워드들을 버스트 모드로 읽고자 하는 경우, 32개의 열 선택 신호 라인들이 필요하다. 도 11에 도시된 바와 같은 열 선택 구조는 연속적으로 읽혀진 데이터 워드 수의 증가로 인해서 칩 면적이 증가되게 한다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명의 목적은 열 선택 라인들의 수를 줄일 수 있는 플래시 메모리 장치를 제공하는 것이다.

【발명의 구성 및 작용】

- <28> 상술한 제반 목적을 달성하기 위한 본 발명이 특징에 따르면, 불 휘발성 반도체 메모리 장치는 각각이 복수 개의 메모리 셀들과 연결된 복수 개의 열들과; 열 어드레스에 응답하여 상기 복수 개의 열들 중 일부를 선택하는 열 선택 회로와; 그리고 상기 열 선택 회로에 의해서 선택된 열들에 연결된 복수 개의 감지 증폭기 그룹들을 포함한다. 상기 열 선택 회로는 상기 열 어드레스가 $4N$ (N 은 1 또는 그 보다 큰 정수)에 정렬되었는지의 여부에 따라 상기 열들을 가변적으로 선택한다.
- <29> 바람직한 실시예에 있어서, 상기 열 선택 회로는 상기 열 어드레스가 $4N$ 에 정렬될 때 상기 열 어드레스의 열들을 선택하고 상기 열 어드레스가 $4N$ 에 정렬되지 않을 때 상위 열 어드레스의 열들을 선택한다.
- <30> 바람직한 실시예에 있어서, 상기 열 선택 회로는 제 1 열 선택 신호들과 제 2 열 선택 신호들에 응답하여 상기 열들 중 일부를 선택하는 게이트 회로와; 상기 열 어드레스 중 제 1 열 어드레스에 응답하여 상기 제 1 열 선택 신호들을 발생하는 디코더와; 그리고 상기 열 어드레스 중 제 2 열 어드레스에 따라 상기 열 어드레스가 $4N$ 에 정렬되었는지의 여부를 판별하는 수단을 포함하며, 상기 판별 수단은 상기 게이트 회로가 상기 열 어드레스의 열들과 상위 열 어드레스의 열들 중 하나의 열들을 선택하도록 상기 제 2 열 선택 신호들을 발생한다.
- <31> 바람직한 실시예에 있어서, 상기 제 2 열 어드레스는 상기 열 어드레스 중 적어도 2개의 최하위 비트들을 포함한다.

- <32> 바람직한 실시예에 있어서, 상기 열들은 상기 복수 개의 감지 증폭기 그룹들에 각각 대응하는 복수 개의 열 그룹들로 구분되고, 상기 게이트 회로는 상기 복수 개의 열 그룹들에 각각 대응하는 복수 개의 열 게이트 유니트들을 포함한다.
- <33> 바람직한 실시예에 있어서, 상기 복수 개의 열 게이트 유니트들 각각은 상기 열 어드레스가 4N에 정렬될 때 상기 제 1 및 제 2 열 선택 신호들에 응답하여 대응하는 열 그룹의 열들 중 제 1 열을 선택하는 수단과; 그리고 상기 열 어드레스가 4N에 정렬되지 않을 때 상기 제 1 및 제 2 열 선택 신호들에 응답하여 대응하는 열 그룹의 열들 중 제 2 열을 선택하는 수단을 포함하며, 상기 제 1 열은 상기 열 어드레스에 대응하고 상기 제 2 열은 상위 열 어드레스에 대응한다.
- <34> 바람직한 실시예에 있어서, 상기 복수 개의 열 그룹들 각각은 제 1 내지 제 4 열들을 포함하고, 상기 제 1 열 선택 신호들은 4개의 열 선택 신호들을 포함하며, 상기 제 2 열 선택 신호들은 2개의 열 선택 신호들을 포함한다.
- <35> 바람직한 실시예에 있어서, 상기 복수 개의 열 게이트 유니트들 각각은 상기 제 1 열과 대응하는 감지 증폭기 그룹의 감지 증폭기 사이에 직렬 연결된 제 1 및 제 2 트랜지스터들과; 상기 제 2 열과 상기 감지 증폭기 사이에 직렬 연결된 제 3 및 제 4 트랜지스터들과; 상기 제 3 열과 상기 감지 증폭기 사이에 직렬 연결된 제 5 및 제 6 트랜지스터들과; 상기 제 4 열과 상기 감지 증폭기 사이에 직렬 연결된 제 7 및 제 8 트랜지스터들과; 상기 제 2 열과 상기 감지 증폭기 사이에 직렬 연결된 제 9 및 제 10 트랜지스터들과; 상기 제 3 열과 상기 감지 증폭기 사이에 직렬 연결된 제 11 및 제 12 트랜지스터들과; 그리고 상기 제 4 열과 상기 감지 증폭기 사이에 직렬 연결된 제 13 및 제 14 트랜지스터들을 포함한다.

- <36> 바람직한 실시예에 있어서, 상기 제 1 및 제 9 트랜지스터들은 상기 제 1 열 선택 신호들 중 첫 번째 열 선택 신호에 제어되고, 상기 제 3 및 제 11 트랜지스터들은 상기 제 1 열 선택 신호들 중 두 번째 열 선택 신호에 제어되고, 상기 제 5 및 제 13 트랜지스터들은 상기 제 1 열 선택 신호들 중 세 번째 열 선택 신호에 제어되고, 상기 제 7 트랜지스터는 상기 제 1 열 선택 신호들 중 네 번째 열 선택 신호에 제어되며, 상기 제 2, 제 4, 제 6, 그리고 제 8 트랜지스터들은 상기 제 2 열 선택 신호들 중 하나에 의해서 제어되고, 상기 제 10, 제 12, 그리고 제 14 트랜지스터들은 상기 제 2 열 선택 신호들 중 다른 하나에 의해서 제어된다.
- <37> 바람직한 실시예에 있어서, 상기 제 2 열 선택 신호들 중 하나의 열 선택 신호는 상기 열 어드레스가 4N에 정렬될 때 활성화되고, 상기 제 2 열 선택 신호들 중 다른 하나의 열 선택 신호는 상기 열 어드레스가 4N에 정렬되지 않을 때 활성화된다.
- <38> 본 발명의 다른 특징에 따르면, 노어 플래시 메모리 장치는 제 1 내지 제 4 비트 라인들과; 적어도 하나의 감지 증폭기와; 그리고 상기 제 1 내지 제 4 비트 라인들 중 하나를 상기 적어도 하나의 감지 증폭기에 연결하는 열 게이트 회로를 포함한다. 상기 열 게이트 회로는 상기 제 1 비트 라인과 상기 감지 증폭기 사이에 직렬 연결되며, 제 1 및 제 2 제어 신호들(YA0, YB0)에 의해서 각각 제어되는 제 1 및 제 2 트랜지스터들과; 상기 제 2 비트 라인과 상기 감지 증폭기 사이에 직렬 연결되며, 제 3 제어 신호(YA1)와 상기 제 2 제어 신호(YB0)에 의해서 각각 제어되는 제 3 및 제 4 트랜지스터들과; 상기 제 3 비트 라인과 상기 감지 증폭기 사이에 직렬 연결되며, 제 4 제어 신호(YA2)와 상기 제 2 제어 신호(YB0)에 의해서 각각 제어되는 제 5 및 제 6 트랜지스터들과; 상기 제 4 비트 라인과 상기 감지 증폭기 사이에 직렬 연결되며, 제 5 제어 신호(YA3)와 상기 제 2 제어 신호(YB0)에 의해서 각각 제어되는 제 7 및 제 8 트랜지스터들과; 상기 제 2 비트 라인과 상기 감지 증폭기 사이에 직렬 연결되며, 상

기 제 1 제어 신호 (YA0)와 제 6 제어 신호 (YB0B)에 의해서 각각 제어되는 제 9 및 제 10 트랜지스터들과; 상기 제 3 비트 라인과 상기 감지 증폭기 사이에 직렬 연결되며, 상기 제 3 제어 신호 (YA1)와 상기 제 6 제어 신호 (YB0B)에 의해서 각각 제어되는 제 11 및 제 12 트랜지스터들과; 그리고 상기 제 4 비트 라인과 상기 감지 증폭기 사이에 직렬 연결되며, 상기 제 4 제어 신호 (YA2)와 상기 제 6 제어 신호 (YB0B)에 의해서 각각 제어되는 제 13 및 제 14 트랜지스터들을 포함한다. 여기서, 상기 제 2 제어 신호 (YB0)는 상기 비트 라인들을 선택하기 위한 열 어드레스가 4N에 정렬될 때 활성화되고, 상기 제 6 제어 신호 (YB0B)는 상기 열 어드레스가 4N에 정렬되지 않을 때 활성화된다.

<39> 본 발명의 바람직한 실시예들이 참조 도면들에 의거하여 이하 상세히 설명될 것이다.

<40> 본 발명에 따른 플래시 메모리 장치는 연속적인 버스트 읽기 동작을 수행하는 노어 플래시 메모리 장치 (NOR-type flash memory device)이다. 하지만, 본 발명의 기술적 사상이 노어 플래시 메모리 장치에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 버스트 길이 (burst length)가 4라고 가정하여, 본 발명에 따른 플래시 메모리 장치가 설명될 것이다.

<41> 도 1은 본 발명의 제 1 실시예에 따른 플래시 메모리 장치를 개략적으로 보여주는 블록도이다.

<42> 도 1을 참조하면, 본 발명에 따른 플래시 메모리 장치 (100)는 데이터 정보를 저장하기 위한 메모리 셀 어레이 (memory cell array) (110)를 포함하며, 어레이 (110)에는 복수 개의 비트 라인들 (BLi) (i는 0-m)이 배열되어 있다. 비록 도면에는 도시되지 않았지만, 각 비트 라인에는 복수 개의 불 휘발성 메모리 셀들

(non-volatile memory cells)이 연결되어 있다. 각 불 휘발성 메모리 셀은 잘 알려진 플로팅 게이트 트랜지스터 (floating gate transistor)를 포함한다. 열 디코더 회로 (column decoder circuit) (120)는 열 어드레스 (column address)를 입력받고 선택 신호들을 발생한다. 열 게이트 회로 (column gate circuit) (130) (도면에는 "Y-Gate"로 표기됨)는 열 디코더 회로 (120)로부터의 선택 신호들에 응답하여 비트 라인들 (BL0-BLm) 중 일부를 선택하고, 선택된 비트 라인들을 감지 증폭기 회로 (sense amplifier circuit) (140) (도면에는 "SA"로 표기됨)에 연결한다. 감지 증폭기 회로 (140)는 선택된 비트 라인들에 연결된 메모리 셀들로부터 데이터를 감지 증폭하며, 그렇게 감지된 데이터는 데이터 출력 회로 (data output circuit) (150) (도면에는 "Dout"로 표기됨)를 통해 외부로 출력될 것이다.

<43> 여기서, 열 디코더 회로 (120)와 열 게이트 회로 (130)는 열 어드레스에 응답하여 비트 라인들 중 일부를 선택하기 위한 열 선택 회로를 구성한다.

<44> 본 발명의 플래시 메모리 장치는, 앞서 설명된 바와 같이, 연속적인 버스트 읽기 동작을 수행한다. 버스트 읽기 동작이 수행될 때, 외부에서 열 어드레스를 포함한 초기 어드레스가 플래시 메모리 장치에 입력된다. 단지 한 번의 열 어드레스의 입력에 따라 4개의 데이터 워드들이 연속적으로 출력되며, 이는 다음과 같이 수행될 것이다. 예를 들면, 버스트 길이가 4인 경우, 초기 어드레스가 입력되고 소정의 읽기 시간 동안 4-워드 데이터 (예를 들면, D1, D2, D3, D4)가 읽혀질 것이다. 그렇게 읽혀진 4-워드 데이터 (D1, D2, D3, D4)는 클록에 동기되어 외부로 순차적으로 출력될 것이다. 4-워드 데이터를 한번에 읽기 위해서는 각 데이터 워드에 대

응하는 감지 증폭기 그룹이 요구된다. 예를 들면, 한 워드가 16이고 버스트 길이가 4일 때, 4개의 감지 증폭기 그룹들 (예를 들면, SAG0-SAG3)이 필요하고 각 감지 증폭기 그룹은 16개의 감지 증폭기들 (예를 들면, SA0-SA15)로 구성될 것이다. 4개의 감지 증폭기 그룹들에서 각각 출력되는 데이터 워드들은, 비록 열 어드레스 (예를 들면, N)만이 입력되었지만, 외부에서 상이한 열 어드레스들 (예를 들면, N, (N+1), (N+2) 그리고 (N+3)번째 열 어드레스들)에 의해서 지정된 것처럼 여겨진다.

<45> 감지 증폭기 그룹들은 열 어드레스 중 최하위 비트들에 의해서 선택되고, 감지 증폭기 그룹들에 연결되는 비트 라인들은 동일한 열 어드레스에 의해서 선택된다. 예를 들면, 도 2a에 도시된 바와 같이, 최하위 비트 신호들 (A1A0)이 "00"일 때 (또는 열 어드레스가 4N에 정렬된 경우), 감지 동작이 수행된 후, 감지 증폭기 그룹들 (SAG0-SAG3) 중 첫 번째 감지 증폭기 그룹 (SAG0)의 데이터가 첫 번째로 출력된다. 그 다음에, 나머지 감지 증폭기 그룹들 (SAG1-SAG3) (이는 "상위 감지 증폭기 블록"이라 불림)의 데이터 워드들이 순차적으로 출력된다. 이 경우, 첫 번째 감지 증폭기 그룹 (SAG0)의 데이터는 N번째 열 어드레스에 대응하고, 두 번째 감지 증폭기 그룹의 데이터는 (N+1)번째 열 어드레스에 대응하고, 세 번째 감지 증폭기 그룹의 데이터는 (N+2)번째 열 어드레스에 대응하며, 네 번째 감지 증폭기 그룹의 데이터는 (N+3)번째 열 어드레스에 대응한다. 이러한 경우, 4개의 데이터 워드들은 정상적으로 출력될 것이다.

<46> 최하위 비트 신호들 (A1A0)이 "01"일 때 (또는 열 어드레스가 4N에 정렬되지 않은 경우), 감지 증폭기 그룹들 (SAG0-SAG3) 중 두 번째 감지 증폭기 그룹 (SAG1)

의 데이터가 첫 번째로 출력된다. 그 다음에, 세 번째, 네 번째 그리고 첫 번째 감지 증폭기 그룹들 (SAG2, SAG3, SAG0) (여기서, SAG2 및 SAG3은 상위 감지 증폭기 블록이라 불리고, SAG0은 하위 감지 증폭기 블록이라 불림)의 데이터가 순차적으로 출력된다. 이 경우, 도 2b에 도시된 바와 같이, 두 번째 감지 증폭기 그룹의 데이터는 N번째 열 어드레스에 대응하고, 세 번째 감지 증폭기 그룹의 데이터는 (N+1)번째 열 어드레스에 대응하고, 네 번째 감지 증폭기 그룹의 데이터는 (N+2)번째 열 어드레스에 대응한다. 하지만, 첫 번째 감지 증폭기 그룹의 데이터는 (N+3)번째 열 어드레스에 대응하는 것이 아니라 (N-1)번째 열 어드레스에 대응하는 것이다. 첫 번째 감지 증폭기 그룹의 비트 라인들이 나머지 그룹들의 비트 라인들을 선택하기 위한 열 어드레스를 이용하여 선택되기 때문에, 첫 번째 감지 증폭기 그룹의 데이터는 외부에서 (N-1)번째 열 어드레스에 의해서 읽혀진 것으로 보여진다. 따라서, 첫 번째 감지 증폭기 그룹이 (N+3)번째 열 어드레스의 데이터를 읽기 위해서는, 입력된 열 어드레스 (N)보다 1만큼 증가된 상위 어드레스 (N+1)의 비트 라인들이 선택되어야 한다. 이러한 경우, 4개의 데이터 워드들의 출력이 비정상적이기 때문에, 비트 라인들의 선택 동작이 앞서와 다르게 제어되어야 하며, 이는 이후 상세히 설명될 것이다.

<47> 최하위 비트 신호들 (A1A0)이 "10"일 때 (또는 열 어드레스가 4N에 정렬되지 않은 경우), 감지 증폭기 그룹들 (SAG0-SAG3) 중 세 번째 감지 증폭기 그룹 (SAG2)의 데이터가 첫 번째로 출력된다. 그 다음에, 네 번째, 첫 번째 그리고 두 번째 감지 증폭기 그룹들 (SAG3, SAG0, SAG1) (SAG3은 상위 감지 증폭기 블록이라 불리고, SAG0 및 SAG1은 하위 감지 증폭기 블록이라 불림)의 데이터가 순차적으로 출력된다. 이 경우, 도 2c에 도시된 바와 같이, 세 번째 감지 증폭기 그룹의 데이터는 N번째 열 어드레스에 대응하고, 네 번째 감지 증폭기 그룹들의 데이터는 (N+1)번째 열 어드레스에 대응한다. 하지만, 앞서 설명된 것과 동일한 이유로 때문에, 첫

번째 및 두 번째 감지 증폭기 그룹의 데이터는 (N+2, N+3)번째 열 어드레스에 대응하는 것이 아니라 (N-1)번째 열 어드레스에 대응하는 것이다. 따라서, 첫 번째 및 두 번째 감지 증폭기 그룹들이 (N+2) 및 (N+3)번째 열 어드레스의 데이터를 읽기 위해서는, 입력된 열 어드레스 (N)보다 1만큼 증가된 상위 어드레스 (N+1)의 비트 라인들이 선택되어야 한다. 이러한 경우 역시 비트 라인들의 선택 동작은 첫 번째 경우와 다르게 제어되어야 하며, 이는 이후 상세히 설명될 것이다.

<48> 최하위 비트 신호들 (A1A0)이 "11"일 때, 감지 증폭기 그룹들 (SAG0-SAG3) 중 네 번째 감지 증폭기 그룹 (SAG3)의 데이터가 첫 번째로 출력된다. 그 다음에, 첫 번째, 두 번째 그리고 세 번째 감지 증폭기 그룹들 (SAG0, SAG1, SAG2) (여기서, SAG0, SAG1 및 SAG2는 하위 감지 증폭기 블록이라 불림)의 데이터가 순차적으로 출력된다. 이 경우, 도 2d에 도시된 바와 같이, 네 번째 감지 증폭기 그룹의 데이터는 N번째 열 어드레스에 대응한다. 하지만, 앞서 설명된 것과 동일한 이유로 때문에, 첫 번째, 두 번째 그리고 세 번째 감지 증폭기 그룹들의 데이터는 (N+1, N+2, N+3)번째 열 어드레스에 대응하는 것이 아니라 (N-1)번째 열 어드레스에 대응하는 것이다. 따라서, 첫 번째, 두 번째 그리고 세 번째 감지 증폭기 그룹들이 (N+1), (N+2) 그리고 (N+3)번째 열 어드레스의 데이터를 읽기 위해서는, 입력된 열 어드레스 (N)보다 1만큼 증가된 상위 어드레스 (N+1)의 비트 라인들이 선택되어야 한다. 이러한 경우 역시 비트 라인들의 선택 동작은 첫 번째 경우와 다르게 제어되어야 하며, 이는 이후 상세히 설명될 것이다.

<49> 도 3은 도 1에 도시된 열 디코더 회로 (120)의 바람직한 실시예를 보여주는 블록도이다.

<50> 도 3을 참조하면, 본 발명의 바람직한 실시예에 따른 열 디코더 회로 (120)는 디코더 (122)와 판별 회로 (judgment circuit) (124)를 포함한다. 디코더 (122)는 열 어드레스 신호들 (A_n , A_{n+1})을 디코딩하여 선택 신호들 (YA0-YA3)을 발생한다. 판별 회로 (124)는 열 어드레스

신호들 (A0, A1)을 입력받고, 열 어드레스가 $4N$ (N 은 1 또는 그 보다 큰 정수)에 정렬되었는지의 여부를 판별한다. 그 이유는, 도 2a 내지 도 2d에서 설명된 바와 같이, 감지 증폭기 그룹들에 연결될 비트 라인들이 가변적으로 선택되어야 하기 때문이다. 이는 이후 상세히 설명될 것이다.

<51> 여기서, 열 어드레스 신호들 (A0, A1)은 열 어드레스의 최하위 비트들 (least significant bits)이다.

<52> 만약 열 어드레스가 $4N$ 에 정렬되면 (즉, 첫 번째 감지 증폭기 그룹 (SAG0)의 데이터 워드가 첫 번째로 출력될 때), 판별 회로 (124)는 선택 신호들 (YB0, YB1, YB2, YB3)을 활성화시키고 선택 신호들 (YB0B, YB1B, YB2B, YB3B)을 비활성화시킨다. 열 어드레스가 $4N$ 에 정렬되지 않고 두 번째 감지 증폭기 그룹 (SAG1)의 데이터 워드가 첫 번째로 출력되는 경우, 판별 회로 (124)는 선택 신호들 (YB0B, YB1-YB3)을 활성화시키고 선택 신호들 (YB0, YB1B-YB3B)을 비활성화시킨다. 열 어드레스가 $4N$ 에 정렬되지 않고 세 번째 감지 증폭기 그룹 (SAG2)의 데이터 워드가 첫 번째로 출력되는 경우, 판별 회로 (124)는 선택 신호들 (YB0B, YB1B, YB2, YB3)을 활성화시키고 선택 신호들 (YB0, YB1, YB2B, YB3B)을 비활성화시킨다. 그리고, 열 어드레스가 $4N$ 에 정렬되지 않고 네 번째 감지 증폭기 그룹의 데이터 워드가 첫 번째로 출력되는 경우, 판별 회로 (124)는 선택 신호들 (YB0B, YB1B, YB2B, YB3)을 활성화시키고 선택 신호들 (YB0, YB1, YB2, YB3B)을 비활성화시킨다.

<53> 도 4는 도 3에 도시된 디코더 회로의 바람직한 실시예를 보여주는 회로도이다. 도 4를 참조하면, 본 발명의 디코더 회로 (122)는 열 어드레스 신호들 (A_n , A_{n+1})을 디코딩하여 선택 신호들 (YA0, YA1, YA2, YA3) 중 하나를 활성화시킨다. 디코더 회로 (122)는 인버터들 (INV1, INV2)와 AND 게이트들 (G1, G2, G3, G4)을 포함한다. AND 게이트 (G1)는 인버터들

(INV1, INV2)의 출력들에 응답하여 선택 신호 (YA0)를 출력한다. AND 게이트 (G2)는 열 어드레스 신호 (An)와 인버터 (INV2)의 출력에 응답하여 선택 신호 (YA1)를 출력한다. AND 게이트 (G3)는 열 어드레스 신호 (An+1)와 인버터 (INV1)의 출력에 응답하여 선택 신호 (YA2)를 출력한다. AND 게이트 (G3)는 열 어드레스 신호들 (An, An+1)에 응답하여 선택 신호 (YA3)를 출력한다. 본 발명에 따른 디코더 회로 (122)가 도면에 도시된 구성에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

<54> 도 5는 도 3에 도시된 판별 회로의 바람직한 실시예를 보여주는 회로도이다.

<55> 도 5를 참조하면, 본 발명에 따른 판별 회로 (124)는 최하위 열 어드레스 신호들 (A0, A1)에 응답하여 선택 신호들 (YB0, YB0B, YB1, YB1B, YB2, YB2B, YB3, YB3B)을 출력한다. 판별 회로 (124)는 NOR 게이트 (G5), NAND 게이트 (G6), 그리고 인버터들 (INV3, INV4, INV5, INV6, INV7)을 포함한다. NOR 게이트 (G5)는 열 어드레스 신호들 (A0, A1)에 응답하여 선택 신호 (YB0)를 출력하고, 인버터 (INV4)는 선택 신호 (YB0)를 반전시켜 반전된 신호를 선택 신호 (YB0B)로서 출력한다. 인버터 (INV3)는 열 어드레스 신호 (A1)를 반전시켜 선택 신호 (YB1)를 출력하고, 인버터 (INV5)는 선택 신호 (YB1)를 반전시켜 반전된 신호를 선택 신호 (YB1B)로서 출력한다. NAND 게이트 (G6)는 열 어드레스 신호들 (A0, A1)에 응답하여 선택 신호 (YB2)를 출력하고, 인버터 (INV6)는 선택 신호 (YB2)를 반전시켜 반전된 신호를 선택 신호 (YB2B)로서 출력한다. 선택 신호 (YB3)가 전원 전압에 연결되며, 선택 신호들 (YB3, YB3B)은 항상 로직 하이 레벨과 로직 로우 레벨을 갖는다.

<56> 앞서 설명된 바와 같이, 열 어드레스 신호들 (A0, A1)은 버스트 길이에 대응하는 감지 증폭기 그룹들을 선택하기 위한 것이다. 열 어드레스 신호들 (A1A0)이 "00"일 때 첫 번째 데이터 워드의 출력 시작점으로서 첫 번째 감지 증폭기 그룹이 선택되며, 그 결과 선택 신호들

(YB0-YB3)이 하이로 활성화된다. 열 어드레스 신호들 (A1A0)이 "01"일 때 첫 번째 데이터 워드의 출력 시작점으로서 두 번째 감지 증폭기 그룹이 선택되며, 그 결과 선택 신호들 (YB1-YB3, YB0B)이 하이로 활성화된다. 열 어드레스 신호들 (A1A0)이 "10"일 때 첫 번째 데이터 워드의 출력 시작점으로서 세 번째 감지 증폭기 그룹이 선택되며, 그 결과 선택 신호들 (YB2, YB3, YB0B, YB1B)이 하이로 활성화된다. 열 어드레스 신호들 (A1A0)이 "11"일 때 첫 번째 데이터 워드의 출력 시작점으로서 네 번째 감지 증폭기 그룹이 선택되며, 그 결과 선택 신호들 (YB3, YB0B, YB1B, YB2B)이 하이로 활성화된다.

<57> 여기서, 선택 신호 (YB0, YB1, YB2 또는 YB3)의 활성화는 입력된 열 어드레스의 비트 라인들이 선택됨을 의미한다. 이러한 경우, 첫 번째 감지 증폭기 그룹에서 네 번째 감지 증폭기 그룹까지 순차적으로 데이터 워드들이 출력될 것이다. 그러한 순서로 출력된 데이터 워드들은 외부에서 N, (N+1), (N+2) 그리고 (N+3)번째 열 어드레스들의 데이터 워드들로서 여겨질 것이다. 선택 신호 (YB0B, YB1B 또는 YB2B)의 활성화는 입력된 열 어드레스의 상위 어드레스의 비트 라인들이 선택됨을 의미한다. 예를 들면, 선택 신호 (YB0B)가 활성화되는 경우, 첫 번째 감지 증폭기 그룹에 연결되는 비트 라인들은 입력된 열 어드레스의 상위 어드레스에 대응하는 것임에 반해서 나머지 감지 증폭기 그룹들에 연결되는 비트 라인들은 입력된 열 어드레스에 대응하는 것이다. 선택 신호 (YB0B, YB1B)가 활성화되는 경우, 첫 번째 및 두 번째 감지 증폭기 그룹들에 연결되는 비트 라인들은 입력된 열 어드레스의 상위 어드레스에 대응하는 것임에 반해서 나머지 감지 증폭기 그룹들에 연결되는 비트 라인들은 입력된 열 어드레스에 대응하는 것이다.

<58> 도 6은 도 1에 도시된 열 게이트 회로의 바람직한 실시예를 보여주는 회로도이다.

<59> 도 6에 도시된 열 게이트 회로 (130)는 버스트 길이가 4이고 비트 구조가 $\times 6$ 이라는 가정 하에서 설계된 것으로, 본 발명이 이에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 버스트 길이가 4인 경우, 4개의 감지 증폭기 그룹들 (SAG0, SAG1, SAG2, SAG3)이 필요하며, 감지 증폭기 그룹들 (SAG0, SAG1, SAG2, SAG3) 각각은 16개의 감지 증폭기들 (SA0-SA15)로 구성될 것이다. 감지 증폭기의 예들이 U.S. Patent Nos. 6,362,661 및 6,400,606에 "SENSE AMPLIFIER FOR USE IN A SEMICONDUCTOR MEMORY DEVICE" 및 "SENSE AMPLIFIER CIRCUIT FOR USE IN A NONVOLATILE SEMICONDUCTOR MEMORY DEVICE"라는 제목으로 각각 게재되어 있으며, 레퍼런스로 포함된다.

<60> 계속해서 도 6을 참조하면, 열 게이트 회로 (130)는 감지 증폭기 그룹들 (SAG0-SAG3)에 각각 대응하는 열 게이트들 (131, 132, 133, 134)을 포함한다. 각 열 게이트는 대응하는 감지 증폭기 그룹의 감지 증폭기들에 각각 연결된 복수 개의 열 게이트 유니트들을 포함한다. 예를 들면, 열 게이트 (131)는 16개의 열 게이트 유니트들 (131_0-131_15)을 포함한다. 열 게이트들 (131-134) 각각은 선택 신호들에 응답하여 64개의 비트 라인들 중 16개의 비트 라인들을 선택하고, 선택된 비트 라인들을 대응하는 감지 증폭기들에 각각 연결한다.

<61> 예를 들면, 열 게이트 (131)는 선택 신호들 (YA0-YA3, YB0, YB0B)에 응답하여 비트 라인들 (BL0-BL63) 중 16개의 비트 라인들을 선택하고, 선택된 비트 라인들을 첫 번째 감지 증폭기 블록 (SAG0)의 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결한다. 열 게이트 (132)는 선택 신호들 (YA0-YA3, YB1, YB1B)에 응답하여 비트 라인들 (BL64-BL127) 중 16개의 비트 라인들을 선택하고, 선택된 비트 라인들을 두 번째 감지 증폭기 블록 (SAG1)의 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결한다. 열 게이트 (133)는 선택 신호들 (YA0-YA3, YB2, YB2B)에 응답하여 비트 라인들 (BL128-BL188) 중 16개의 비트 라인들을 선택하고, 선택된 비트 라인들을 세

번째 감지 증폭기 블록 (SAG2)의 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결한다. 열 게이트 (134)는 선택 신호들 (YA0-YA3, YB3, YB3B)에 응답하여 비트 라인들 (BL192-BL255) 중 16개의 비트 라인들을 선택하고, 선택된 비트 라인들을 네 번째 감지 증폭기 블록 (SAG3)의 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결한다.

<62> 계속해서 도 6을 참조하면, 열 게이트 (131)에 속하는 제 1 열 게이트 유니트 (131_0)는 14개의 NMOS 트랜지스터들 (T1-T14)을 포함한다. NMOS 트랜지스터들 (T1, T2)은 비트 라인 (BL0)과 감지 증폭기 (SA0) 사이에 직렬 연결되며, 선택 신호들 (YA0, YB0)에 의해서 각각 제어되고, NMOS 트랜지스터들 (T3, T4)은 비트 라인 (BL1)과 감지 증폭기 (SA0) 사이에 직렬 연결되며, 선택 신호들 (YA1, YB0)에 의해서 각각 제어된다. NMOS 트랜지스터들 (T5, T6)은 비트 라인 (BL1)과 감지 증폭기 (SA0) 사이에 직렬 연결되며, 선택 신호들 (YA0, YB0B)에 의해서 각각 제어되고, NMOS 트랜지스터들 (T7, T8)은 비트 라인 (BL2)과 감지 증폭기 (SA0) 사이에 직렬 연결되며, 선택 신호들 (YA2, YB0)에 의해서 각각 제어된다. NMOS 트랜지스터들 (T9, T10)은 비트 라인 (BL2)과 감지 증폭기 (SA0) 사이에 직렬 연결되며, 선택 신호들 (YA1, YB0B)에 의해서 각각 제어되고, NMOS 트랜지스터들 (T11, T12)은 비트 라인 (BL3)과 감지 증폭기 (SA0) 사이에 직렬 연결되며, 선택 신호들 (YA3, YB0)에 의해서 각각 제어된다. NMOS 트랜지스터들 (T13, T14)은 비트 라인 (BL3)과 감지 증폭기 (SA0) 사이에 직렬 연결되며, 선택 신호들 (YA2, YB0B)에 의해서 각각 제어된다.

<63> 나머지 열 게이트 유니트들 (131_2-131_15)은 제 1 열 게이트 유니트 (131_0)와 동일하게 구성되며, 그것에 대한 설명은 그러므로 생략된다. 마찬가지로, 열 게이트들 각각의 열 게이트 유니트들 역시 열 게이트 유니트 (131_0)와 동일하게 구성되며, 그것에 대한 설명은 그러

므로 생략된다. 도 6에서, 설명의 편의상, 각 열 게이트 유닛은 동일한 참조 번호들로 표기된다.

<64> 도면에서 알 수 있듯이, 선택 신호들 (YA0-YA3)은 열 게이트들 (131-134) 각각의 열 게이트 유닛들의 NMOS 트랜지스터들 (T1, T3, T5, T7, T9, T11, T13)에 공통으로 제공된다.

<65> 이 실시예에 있어서, NMOS 트랜지스터들 (T1, T2, T3, T4, T7, T8, T11, T12)은 열 어드레스가 4N에 정렬되었을 때 비트 라인들 중 하나 (현재 입력된 열 어드레스에 대응함)를 선택하는 수단 (또는 스위치 회로)를 구성하고, NMOS 트랜지스터들 (T5, T6, T9, T10, T13, T14)는 열 어드레스가 4N에 정렬되지 않을 때 비트 라인들 중 하나 (현재 입력된 열 어드레스의 상위 열 어드레스에 대응함)를 선택하는 수단 (또는 스위치 회로)를 구성한다. 도 6에 도시된 바와 같이, 하나의 비트 라인 (예를 들면, BL1)과 하나의 감지 증폭기 (예를 들면, SA0) 사이에는 2개의 전류 통로들 (또는 "병렬 전류 통로"로 칭함)이 제공된다. 각 전류 통로는 2개의 NMOS 트랜지스터들 (예를 들면, (T3, T4) (T5, T6))로 구성된다.

<66> 이하 본 발명의 제 1 실시예에 따른 플래시 메모리 장치의 동작이 참조 도면들에 의거하여 상세히 설명될 것이다.

<67> 버스트 읽기 동작을 위한 행 및 열 어드레스들이 입력됨에 따라, 먼저, 행 선택 회로 (미도시됨)는 행 어드레스에 따라 메모리 셀 어레이 (110)의 워드 라인을 선택할 것이다. 이와 동시에, 열 디코더 회로 (120)는 열 어드레스에 응답하여 열 게이트 회로 (130)를 제어하기 위한 선택 신호들을 발생한다. 좀 더 구체적으로 설명하면 다음과 같다.

<68> 도 3에 도시된 바와 같이, 디코더 (122)는 열 어드레스의 일부 (A_n , A_{n+1})를 디코딩하여 선택 신호들 (YA0-YA3) 중 하나를 활성화시킨다. 예를 들면, 선택 신호 (YA0)가 활성화된다고

가정하자. 선택 신호 (YA0)가 활성화됨에 따라, 열 게이트 회로 (130)의 각 열 게이트 유니트의 NMOS 트랜지스터들 (T1, T5)이 턴 온된다. 이와 동시에, 판별 회로 (124)는 열 어드레스 중 최하위 어드레스 신호들 (A0, A1)에 응답하여 현재 입력된 열 어드레스가 4N에 정렬되었는지의 여부를 판별한다. 앞서 설명된 바와 같이, 열 어드레스가 4N에 정렬되었다는 것은 첫 번째 감지 증폭기 그룹의 데이터 워드가 첫번째로 출력됨을 의미한다. 판별 회로 (124)는 판별 결과에 따라 선택 신호들 (YB0-YB3, YB0B-YB3B)을 출력한다.

<69> 예를 들면, 열 어드레스가 4N에 정렬되었을 때, 판별 회로 (124)는 선택 신호들 (YB0, YB1, YB2, YB3)을 하이로 활성화시킨다. 선택 신호들 (YB0, YB1, YB2, YB3)이 활성화됨에 따라, 각 열 게이트 유니트의 NMOS 트랜지스터들 (T2, T4, T8, T12)이 턴 온된다. 따라서, 각 열 게이트 유니트는 대응하는 비트 라인들 중 첫 번째 비트 라인을 선택한다. 즉, 비트 라인들 (BL0, BL4, ..., BL60)이 열 게이트 (131)를 통해 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결된다. 나머지 열 게이트들 역시 동일한 방식으로 비트 라인들을 선택할 것이다. 선택된 비트 라인들은 현재 입력된 열 어드레스에 의해서 지정된 것이다.

<70> 이후, 감지 증폭기 그룹들 (SAG0-SAG3)의 감지 증폭기들 (SA0-SA15)은 잘 알려진 방식으로 데이터를 감지 증폭할 것이다. 감지 증폭 동작이 완료되면, 감지 증폭기 그룹들 (SAG0-SAG3)에 의해서 감지된 데이터 워드들이 이 순서로 외부로 출력된다. 이때, 출력되는 데이터 워드들은 외부에서 N, (N+1), (N+2) 및 (N+3)번째 열 어드레스들의 데이터 워드들로서 여겨질 것이다.

<71> 만약 열 어드레스가 4N에 정렬되지 않을 때, 판별 회로 (124)는 선택 신호들 (YB0, YB1, YB2, YB3) 중 일부만을 하이로 활성화시킨다. 이때, 비활성화된 선택 신호들의 상보 신호들이 활성화될 것이다. 예를 들면, 열 어드레스 신호들 (A1A0)이 "01"일 때, 선택 신호들 (YB0B,

YB1, YB2, YB3)이 활성화될 것이다. 선택 신호들 (YB0B, YB1, YB2, YB3)이 활성화됨에 따라, 첫 번째 열 게이트 (131)의 각 열 게이트 유니트의 NMOS 트랜지스터들 (T6, T10, T14)이 턴 온 되는 반면에, 나머지 열 게이트들 (132-134)의 각 열 게이트 유니트의 NMOS 트랜지스터들 (T2, T4, T8, T12)이 턴 온된다. 따라서, 제 2 내지 제 4 열 게이트들 (132-134)의 각 열 게이트 유니트는 대응하는 비트 라인들 중 첫 번째 비트 라인을 선택하는 반면에, 제 1 열 게이트 (131)의 각 열 게이트 유니트는 두 번째 비트 라인을 선택한다. 즉, 제 2 열 게이트 (132)는 비트 라인들 (BL64, BL68, ..., BL124)을 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결하고, 제 3 열 게이트 (133)는 비트 라인들 (BL128, BL132, ..., BL188)을 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결하며, 제 4 열 게이트 (134)는 비트 라인들 (BL192, BL196, ..., BL252)을 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결한다. 이에 반해서, 제 1 열 게이트 (131)는 비트 라인들 (BL1, BL5, ..., BL61)을 감지 증폭기들 (SA0-SA15)에 각각 연결한다.

<72> 여기서, 제 2 내지 제 4 열 게이트들 (132-134)은 현재 입력된 열 어드레스 (예를 들면, N)의 비트 라인들을 선택하는 반면에, 제 1 열 게이트 (131)는 입력된 열 어드레스의 상위 어드레스 (예를 들면, N+1)의 비트 라인들을 선택한다.

<73> 이후, 감지 증폭기 그룹들 (SAG0-SAG3)의 감지 증폭기들 (SA0-SA15)은 잘 알려진 방식으로 데이터를 감지 증폭할 것이다. 감지 증폭 동작이 완료되면, 감지 증폭기 그룹들 (SAG1, SAG2, SAG3, SAG0)에 의해서 감지된 데이터 워드들이 이 순서로 외부로 출력된다. 이때, 출력되는 데이터 워드들은 외부에서 N, (N+1), (N+2) 및 (N+3)번째 열 어드레스들의 데이터 워드들로서 여겨질 것이다.

<74> 열 어드레스가 4N에 정렬되지 않을 때, 예를 들면, 열 어드레스 신호들 (A1A0)이 "10" 및 "11"일 때, 앞서 설명된 것과 동일한 방식으로 열 선택 동작이 수행될 것이다. 예를 들면, 열

어드레스 신호들 (A1A0)가 "10"일 때, 감지 증폭기 그룹들 (SAG2, SAG3, SAG0, SAG1)에 의해서 감지된 데이터 워드들이 이 순서로 외부로 출력된다. 따라서, 제 3 및 제 4 열 게이트들은 현재 입력된 열 어드레스 (예를 들면, N)의 비트 라인들을 선택하는 반면에, 제 1 및 제 2 열 게이트들은 입력된 열 어드레스의 상위 어드레스 (예를 들면, N+1)의 비트 라인들을 선택한다. 출력되는 데이터 워드들은 외부에서 N, (N+1), (N+2) 및 (N+3)번째 열 어드레스들의 데이터 워드들로서 여겨질 것이다. 마찬가지로, 열 어드레스 신호들 (A1A0)가 "11"일 때, 감지 증폭기 그룹들 (SAG3, SAG0, SAG1, SAG2)에 의해서 감지된 데이터 워드들이 이 순서로 외부로 출력된다. 따라서, 제 4 열 게이트는 현재 입력된 열 어드레스 (예를 들면, N)의 비트 라인들을 선택하는 반면에, 제 1 내지 제 3 열 게이트들은 입력된 열 어드레스의 상위 어드레스 (예를 들면, N+1)의 비트 라인들을 선택한다. 출력되는 데이터 워드들은 외부에서 N, (N+1), (N+2) 및 (N+3)번째 열 어드레스들의 데이터 워드들로서 여겨질 것이다.

<75> 상술한 바와 같이, 선택 신호들 (YA0-YA3)이 열 게이트들 (131-134) 각각의 NMOS 트랜지스터들 (T1, T3, T5, T7, T9, T11)을 공통으로 제어하고 열 게이트들 (131-134) 각각의 NMOS 트랜지스터들 (T2, T4, T6, T8, T10, T12, T14)이 대응하는 선택 신호들 (YBi0, YBiB) ($i=0-3$)에 의해서 제어된다. 이는 열 게이트 회로 (130)로 선택 신호들을 전달하기 위해서 4개의 선택 신호 라인들 (YA0-YA3)과 8개의 선택 신호 라인들 (YBi0, YBiB) ($i=0-3$)이 필요함을 의미한다. 즉, 12개의 신호 라인들이 필요하다. 도 11에 도시된 열 게이트 구조에서는 16개의 신호 라인들이 필요한 반면에, 본 발명에 따른 열 게이트 구조에서는 12개의 신호 라인들이 필요하다. 즉, 4개의 신호 라인들이 감소된다. 물론, 본 발명에 따른 열 게이트 구조에 따라 약 3배 정도의 패스 트랜지스터들이 요구되지만, 연속적으로 읽고자 하는 데이터 워드들의 수가 증가하는 경우 대략 50% 정도 신호 라인들의 수를 줄일 수 있다.

<76> 도 7은 본 발명의 제 2 실시예에 따른 플래시 메모리 장치를 보여주는 블록도이다.

<77> 도 7을 참조하면, 본 발명에 따른 플래시 메모리 장치 (1000)는 메모리 셀 어레이 (1100)를 포함하며, 어레이는 복수 개의 섹터들 (1101-1104)로 구성된다. 섹터들 (1101-1104) 각각은 복수 개의 로컬 비트 라인들 (BL0-BLm)을 포함하며, 비록 도면에는 도시하지 않았지만, 로컬 비트 라인들 각각에는 복수 개의 불 휘발성 메모리 셀들이 연결될 것이다. 제 1 열 디코더 회로 (first column decoder circuit) (1200)는 열 프리-디코더 회로 (column pre-decoder circuit) (1300)로부터의 제 1 열 어드레스 신호들에 응답하여 로컬 비트 라인들을 선택하기 위한 선택 신호들을 발생한다. 제 2 열 디코더 회로 (second column decoder circuit) (1400)는 열 프리-디코더 회로 (1300)로부터의 제 2 열 어드레스 신호들에 응답하여 섹터들을 선택하기 위한 선택 신호들을 발생한다.

<78> 계속해서 도 7을 참조하면, 제 1 열 게이트 블록 (1500)은 섹터들 (1101-1104)에 각각 대응하는 열 게이트 회로들 (1501-1504)을 포함하며, 열 게이트 회로들 (1501-1504)은 제 1 열 디코더 회로 (1200)로부터의 선택 신호들에 응답하여 동작한다. 예를 들면, 열 게이트 회로 (1501)는 대응하는 섹터 (1101)의 로컬 비트 라인들 (BL0-BLm)에 연결되며, 제 1 열 디코더 회로 (1200)로부터의 선택 신호들에 응답하여 로컬 비트 라인들 (BL0-BLm) 중 일부를 선택한다. 나머지 열 게이트 회로들 (1502-1504)은 열 게이트 회로 (1501)과 동일한 방식으로 동작한다. 섹터 선택 블록 (1600)은 섹터들 (1101-1104) (또는 열 게이트 회로들)에 각각 대응하는 복수 개의 섹터 선택 회로들 (1601-1604)을 포함하며, 섹터 선택 회로들 (1601-1604)은 제 2 열 디코더 회로 (1400)로부터의 선택 신호들에 응답하여 동작한다. 예를 들면, 섹터 선택 회로 (1601)는 대응하는 열 게이트 회로 (1501)에 의해서 선택된 로컬 비트 라인들을 그로벌 비트

라인들 (GBL0-GBLn)에 각각 연결한다. 섹터들 중 어느 하나의 선택된 로컬 비트 라인들이 대응하는 그로벌 비트 라인들에 연결되도록 섹터 선택 회로들 중 어느 하나만이 활성화된다.

<79> 계속해서 제 3 열 디코더 회로 (1700)는 열 프리-디코더 회로 (1300)로부터의 제 3 열 어드레스 신호들에 응답하여 선택 신호들을 발생한다. 제 2 열 게이트 블록 (1800)은 제 3 열 디코더 회로 (1700)로부터의 선택 신호들에 응답하여 그로벌 비트 라인들 (GBL0-GBLn) 중 일부를 선택하고, 선택된 그로벌 비트 라인들은 제 2 열 게이트 블록 (1800)을 통해 감지 증폭기 블록 (1900)에 연결된다. 제 2 열 게이트 블록 (1800)은 버스트 길이에 대응하는 열 게이트 회로들을 포함한다. 예를 들면, 버스트 길이가 4일 때, 제 2 열 게이트 블록 (1800)은 4개의 열 게이트 회로들 (1801, 1802, 1803, 1804)로 구성된다. 마찬가지로, 감지 증폭기 블록 (1900)은 버스트 길이에 대응하는 감지 증폭기 그룹들 (1801, 1802, 1803, 1804)로 구성된다. 각 감지 증폭기 그룹은 비트 구조에 대응하는 감지 증폭기들로 구성될 것이다.

<80> 여기서, 제 1 열 디코더 회로 (1200), 제 2 열 디코더 회로 (1400), 열 게이트 블록 (1500), 그리고 섹터 선택 블록 (1600)은 섹터들 중 하나를 선택하고 선택된 섹터의 로컬 비트 라인들 중 일부를 그로벌 비트 라인들에 각각 연결하는 열 선택 회로를 구성한다. 제 3 열 디코더 회로 (1700)와 열 게이트 블록 (1800)은 열 어드레스가 4N에 정렬되었는 지의 여부에 따라 그로벌 비트 라인들을 가변적으로 감지 증폭기 블록들에 연결하는 열 선택 회로를 구성한다.

<81> 도 8은 하나의 섹터와 관련된 도 7의 열 게이트 회로 및 섹터 선택 회로를 보여주는 회로도이다. 설명의 편의상, 섹터 (1101)가 1024개의 로컬 비트 라인들 (BL0-BL1023)을 포함한다고 가정하자.

- <82> 열 게이트 회로 (1501)는 제 1 열 디코더 회로 (1200)로부터의 선택 신호들 (YA0-YA3)에 응답하여 로컬 비트 라인들 (BL0-BL1023) 중 일부를 선택한다. 열 게이트 회로 (1501)는 글로벌 비트 라인들 (GBL0-GBL255)에 각각 대응하는 복수 개의 열 게이트 유니트들 (CGU0-CGU255)을 포함한다. 각 열 게이트 유니트는 4개의 NMOS 트랜지스터들 (T10, T11, T12, T13)로 구성되며, 도면에 도시된 바와 같이 연결되어 있다. 각 열 게이트 유니트는 선택 신호들 (YA0-YA3)에 응답하여 4개의 로컬 비트 라인들 중 하나를 선택한다. 예를 들면, 열 게이트 유니트 (CGU0)는 선택 신호들 (YA0-YA3)에 응답하여 로컬 비트 라인들 (BL0-BL3) 중 하나를 선택한다.
- <83> 섹터 선택 회로 (1601)는 글로벌 비트 라인들 (GBL0-GBL255) (또는 열 게이트 유니트들) 각각에 대응하는 복수 개의 NMOS 트랜지스터들 (T14)을 포함하며, NMOS 트랜지스터들 (T14)은 선택 신호 (YB0)에 의해서 공통으로 제어된다. 따라서, 열 게이트 회로 (1501)에 의해서 선택된 로컬 비트 라인들은 섹터 선택 회로 (1601)를 통해 글로벌 비트 라인들 (GBL0-GBL255)에 각각 연결된다.
- <84> 나머지 섹터들 (1102-1104) 각각에 대응하는 열 게이트 회로 및 섹터 선택 회로는 도 8에 도시된 것과 실질적으로 동일하게 구성되며, 그것에 대한 설명은 그러므로 생략된다. 섹터 선택 회로들은 단지 하나의 섹터만이 선택되도록 대응하는 선택 신호들에 의해서 각각 활성화되도록 구성된다. 이 실시예에서 열 게이트 회로들이 선택 신호들 (YA0-YA3)에 의해서 공통으로 제어되지만, 열 게이트 회로들이 다른 방식으로 제어될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- <85> 도 9는 도 7에 도시된 제 3 열 디코더 회로 (1700)의 바람직한 실시예를 보여주는 블록도이다.

<86> 도 9를 참조하면, 본 발명의 바람직한 실시예에 따른 열 디코더 회로 (1700)는 디코더 (1710)와 판별 회로 (1720)를 포함한다. 디코더 (1710)는 열 프리-디코더 회로 (1300)로부터의 열 어드레스 신호들 (A_n , A_{n+1})을 디코딩하여 선택 신호들 (YC_0 - YC_3)을 발생한다. 판별 회로 (1720)는 열 프리-디코더 회로 (1300)로부터 열 어드레스 신호들 (A_0 , A_1)을 입력받고, 열 어드레스가 $4N$ (N 은 1 또는 그 보다 큰 정수)에 정렬되었는지의 여부를 판별한다. 여기서, 열 어드레스 신호들 (A_0 , A_1)은 열 어드레스의 최하위 비트들 (least significant bits)이다.

<87> 만약 열 어드레스가 $4N$ 에 정렬되면 (즉, 도 10의 첫 번째 감지 증폭기 그룹 (1901)의 데이터 워드가 첫 번째로 출력될 때), 판별 회로 (1720)는 선택 신호들 (YD_0 , YD_1 , YD_2 , YD_3)을 활성화시키고 선택 신호들 (YD_0B , YD_1B , YD_2B , YD_3B)을 비활성화시킨다. 열 어드레스가 $4N$ 에 정렬되지 않고 두 번째 감지 증폭기 그룹 (1902)의 데이터 워드가 첫 번째로 출력되는 경우, 판별 회로 (1720)는 선택 신호들 (YD_0B , YD_1 - YD_3)을 활성화시키고 선택 신호들 (YD_0 , YD_1B - YD_3B)을 비활성화시킨다. 열 어드레스가 $4N$ 에 정렬되지 않고 세 번째 감지 증폭기 그룹 (1903)의 데이터 워드가 첫 번째로 출력되는 경우, 판별 회로 (1720)는 선택 신호들 (YD_0B , YD_1B , YD_2 , YD_3)을 활성화시키고 선택 신호들 (YD_0 , YD_1 , YD_2B , YD_3B)을 비활성화시킨다. 그리고, 열 어드레스가 $4N$ 에 정렬되지 않고 네 번째 감지 증폭기 그룹 (1904)의 데이터 워드가 첫 번째로 출력되는 경우, 판별 회로 (1720)는 선택 신호들 (YD_0B , YD_1B , YD_2B , YD_3)을 활성화시키고 선택 신호들 (YD_0 , YD_1 , YD_2 , YD_3B)을 비활성화시킨다.

<88> 도 9의 디코더 (1710) 및 판별 회로 (1720)는 도 4 및 도 5에 도시된 것과 실질적으로 동일하게 구성되며, 그것에 대한 설명은 그러므로 생략된다.

<89> 도 10은 도 7에 도시된 제 2 열 게이트 블록의 바람직한 실시예를 보여주는 회로도이다. 본 발명에 있어서, 버스트 길이가 4이고 비트 구조가 $\times 6$ 인 경우, 4개의 감지 증폭기 그룹들

(1901, 1902, 1903, 1904)이 필요하며, 감지 증폭기 그룹들 (1901-1904) 각각은 16개의 감지 증폭기들 (SA0-SA15)로 구성될 것이다.

<90> 본 발명의 열 게이트 블록 (1800)은 감지 증폭기 그룹들 (1901-1904)에 각각 대응하는 열 게이트 회로들 (1801, 1802, 1803, 1804)을 포함한다. 각 열 게이트 회로는 대응하는 감지 증폭기 그룹의 감지 증폭기들에 각각 연결된 복수 개의 열 게이트 유니트들을 포함한다. 예를 들면, 열 게이트 회로 (1801)는 16개의 열 게이트 유니트들 (1801_0-1801_15)을 포함한다. 열 게이트 회로들 (1801_0-1801_15) 각각은 선택 신호들에 응답하여 64개의 글로벌 비트 라인들 중 16개의 글로벌 비트 라인들을 선택하고, 선택된 글로벌 비트 라인들을 대응하는 감지 증폭기들에 각각 연결한다.

<91> 예를 들면, 열 게이트 회로 (1801)는 선택 신호들 (YC0-YC3, YD0, YD0B)에 응답하여 글로벌 비트 라인들 (GBL0-GBL63) 중 16개의 글로벌 비트 라인들을 선택하고, 선택된 글로벌 비트 라인들을 첫 번째 감지 증폭기 블록 (1901)의 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결한다. 열 게이트 회로 (1802)는 선택 신호들 (YC0-YC3, YD1, YD1B)에 응답하여 글로벌 비트 라인들 (GBL64-GBL127) 중 16개의 글로벌 비트 라인들을 선택하고, 선택된 글로벌 비트 라인들을 두 번째 감지 증폭기 블록 (1902)의 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결한다. 열 게이트 회로 (1803)는 선택 신호들 (YC0-YC3, YD2, YD2B)에 응답하여 글로벌 비트 라인들 (GBL128-GBL188) 중 16개의 글로벌 비트 라인들을 선택하고, 선택된 글로벌 비트 라인들을 세 번째 감지 증폭기 블록 (1903)의 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결한다. 열 게이트 회로 (1804)는 선택 신호들 (YC0-YC3, YD3, YD3B)에 응답하여 글로벌 비트 라인들 (GBL192-GBL255) 중 16개의 글로벌 비트 라인들을 선택하고, 선택된 글로벌 비트 라인들을 네 번째 감지 증폭기 블록 (1904)의 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결한다.

<92> 계속해서 도 10을 참조하면, 열 게이트 회로 (1801)에 속하는 제 1 열 게이트 유니트 (1801_0)는 14개의 NMOS 트랜지스터들 (T15-T28)을 포함한다. NMOS 트랜지스터들 (T15, T16)은 글로벌 비트 라인 (GBL0)과 감지 증폭기 (SA0) 사이에 직렬 연결되며, 선택 신호들 (YC0, YD0)에 의해서 각각 제어되고, NMOS 트랜지스터들 (T17, T18)은 글로벌 비트 라인 (GBL1)과 감지 증폭기 (SA0) 사이에 직렬 연결되며, 선택 신호들 (YC1, YD0)에 의해서 각각 제어된다. NMOS 트랜지스터들 (T19, T20)은 글로벌 비트 라인 (GBL1)과 감지 증폭기 (SA0) 사이에 직렬 연결되며, 선택 신호들 (YC0, YD0B)에 의해서 각각 제어되고, NMOS 트랜지스터들 (T21, T22)은 글로벌 비트 라인 (GBL2)과 감지 증폭기 (SA0) 사이에 직렬 연결되며, 선택 신호들 (YC2, YD0)에 의해서 각각 제어된다. NMOS 트랜지스터들 (T23, T24)은 글로벌 비트 라인 (GBL2)과 감지 증폭기 (SA0) 사이에 직렬 연결되며, 선택 신호들 (YC1, YD0B)에 의해서 각각 제어되고, NMOS 트랜지스터들 (T25, T26)은 글로벌 비트 라인 (GBL3)과 감지 증폭기 (SA0) 사이에 직렬 연결되며, 선택 신호들 (YC3, YD0)에 의해서 각각 제어된다. NMOS 트랜지스터들 (T27, T28)은 글로벌 비트 라인 (GBL3)과 감지 증폭기 (SA0) 사이에 직렬 연결되며, 선택 신호들 (YC2, YD0B)에 의해서 각각 제어된다.

<93> 나머지 열 게이트 유니트들 (1801_1-1801_15)은 제 1 열 게이트 유니트 (1801_0)와 동일하게 구성되며, 그것에 대한 설명은 그러므로 생략된다. 마찬가지로, 나머지 열 게이트 회로들 (1802-1804) 각각의 열 게이트 유니트들 역시 열 게이트 유니트 (1801_0)와 동일하게 구성되며, 그것에 대한 설명은 그러므로 생략된다. 도 10에서, 각 열 게이트 유니트는 동일한 참조 번호들로 표기된다.

- <94> 도면에서 알 수 있듯이, 선택 신호들 (YC0-YC3)은 열 게이트 회로들 (1801-1804) 각각의 열 게이트 유니트들의 NMOS 트랜지스터들 (T15, T17, T19, T21, T23, T25, T27)에 공통으로 제공된다.
- <95> 이 실시예에 있어서, NMOS 트랜지스터들 (T15, T16, T17, T18, T21, T22, T24, T26)은 열 어드레스가 4N에 정렬되었을 때 글로벌 비트 라인들 중 하나 (현재 입력된 열 어드레스에 대응함)를 선택하는 수단 (또는 스위치 회로)를 구성하고, NMOS 트랜지스터들 (T19, T20, T23, T24, T27, T28)는 열 어드레스가 4N에 정렬되지 않을 때 글로벌 비트 라인들 중 하나 (현재 입력된 열 어드레스의 상위 열 어드레스에 대응함)를 선택하는 수단 (또는 스위치 회로)를 구성한다.
- <96> 이하 본 발명의 제 2 실시예에 따른 플래시 메모리 장치의 동작이 참조 도면들에 의거하여 상세히 설명될 것이다.
- <97> 버스트 읽기 동작을 위한 행 및 열 어드레스들이 입력됨에 따라, 먼저, 행 선택 회로 (미도시됨)는 행 어드레스에 따라 메모리 셀 어레이 (1100)의 섹터들 중 하나 (예를 들면, 1101)가 선택되고, 선택된 섹터의 워드 라인이 활성화될 것이다. 이와 동시에,
- <98> 제 1 열 디코더 회로 (1200)는 열 프리-디코더 회로 (1300)으로부터의 열 어드레스에 응답하여 제 1 열 게이트 블록 (1500)을 제어하기 위한 선택 신호들을 발생한다. 제 2 열 디코더 회로 (1400)는 열 프리-디코더 회로 (1300)으로부터의 열 어드레스에 응답하여 섹터 선택 회로 (1600)을 제어하기 위한 선택 신호들을 발생한다. 제 3 열 디코더 회로 (1700)는 열 프리-디코더 회로 (1300)으로부터의 열 어드레스에 응답하여 제 2 열 게이트 블록 (1800)을 제어하기 위한 선택 신호들을 발생한다. 좀 더 구체적으로 설명하면 다음과 같다.

<99> 선택된 섹터 (1101)의 열 게이트 회로 (1501)는 제 1 열 디코더 회로 (1200)로부터의 선택 신호들 (YA0-YA3)에 응답하여 섹터 (1101)의 로컬 비트 라인들 (BL0-BLm) 중 일부를 선택한다. 선택된 섹터 (1101)의 섹터 선택 회로 (1601)는 선택 신호 (YB0)에 응답하여 선택된 로컬 비트 라인들을 대응하는 그로벌 비트 라인들 (GBL0-GBLn)에 각각 연결한다. 이와 동시에, 도 9에 도시된 바와 같이, 디코더 (1710)는 열 어드레스의 일부 (A_n , A_{n+1})를 디코딩하여 선택 신호들 (YC0-YC3) 중 하나를 활성화시킨다. 예를 들면, 선택 신호 (YC0)가 활성화된다고 가정하자. 선택 신호 (YC0)가 활성화됨에 따라, 제 2 열 게이트 블록 (1800)의 열 게이트 회로들 (1801-1804)의 NMOS 트랜지스터들 (T15, T19)이 턴 온된다. 이와 동시에, 판별 회로 (1720)는 열 어드레스 중 최하위 어드레스 신호들 (A0, A1)에 응답하여 현재 입력된 열 어드레스가 4N에 정렬되었는지의 여부를 판별한다. 앞서 설명된 바와 같이, 열 어드레스가 4N에 정렬되었다는 것은 첫 번째 감지 증폭기 그룹의 데이터 워드가 첫번째로 출력됨을 의미한다. 판별 회로 (1720)는 판별 결과에 따라 선택 신호들 (YD0-YD3, YD0B-YD3B)을 출력한다.

<100> 예를 들면, 열 어드레스가 4N에 정렬되었을 때, 판별 회로 (1720)는 선택 신호들 (YD0, YD1, YD2, YD3)을 하이로 활성화시킨다. 선택 신호들 (YD0, YD1, YD2, YD3)이 활성화됨에 따라, 각 열 게이트 유니트의 NMOS 트랜지스터들 (T16, T18, T22, T26)이 턴 온된다. 따라서, 각 열 게이트 유니트는 대응하는 그로벌 비트 라인들 중 첫 번째 그로벌 비트 라인을 선택한다. 예를 들면, 열 게이트 회로 (1801)에 있어서, 그로벌 비트 라인들 (GBL0, GBL4, ..., GBL60)이 열 게이트 회로 (1801)를 통해 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결된다. 나머지 열 게이트 회로들 역시 동일한 방식으로 그로벌 비트 라인들을 선택할 것이다. 선택된 그로벌 비트 라인들은 현재 입력된 열 어드레스에 의해서 지정된 것이다.

- <101> 이후, 감지 증폭기 그룹들 (1901-1904)의 감지 증폭기들 (SA0-SA15)은 잘 알려진 방식으로 데이터를 감지 증폭할 것이다. 감지 증폭 동작이 완료되면, 감지 증폭기 그룹들 (1901-1904)에 의해서 감지된 데이터 워드들이 이 순서로 외부로 출력된다. 이때, 출력되는 데이터 워드들은 외부에서 N, (N+1), (N+2) 및 (N+3)번째 열 어드레스들의 데이터 워드들로서 여겨질 것이다.
- <102> 만약 열 어드레스가 4N에 정렬되지 않을 때, 판별 회로 (1720)는 선택 신호들 (YD0, YD1, YD2, YD3) 중 일부만을 하이로 활성화시킨다. 이때, 비활성화된 선택 신호들의 상보 신호들이 활성화될 것이다. 예를 들면, 열 어드레스 신호들 (A1A0)이 "01"일 때, 선택 신호들 (YD0B, YD1, YD2, YD3)이 활성화될 것이다. 선택 신호들 (YD0B, YD1, YD2, YD3)이 활성화됨에 따라, 첫 번째 열 게이트 회로 (1801)의 각 열 게이트 유니트의 NMOS 트랜지스터들 (T20, T24, T28)이 턴 온되는 반면에, 나머지 열 게이트 회로들 (1802-1804)의 각 열 게이트 유니트의 NMOS 트랜지스터들 (T16, T18, T22, T26)이 턴 온된다. 따라서, 제 2 내지 제 4 열 게이트 회로들 (1802-1804)의 각 열 게이트 유니트는 대응하는 그로벌 비트 라인들 중 첫 번째 그로벌 비트 라인을 선택하는 반면에, 제 1 열 게이트 회로 (1801)의 각 열 게이트 유니트는 두 번째 그로벌 비트 라인을 선택한다. 즉, 제 2 열 게이트 회로 (1802)는 그로벌 비트 라인들 (GBL64, GBL68, ..., GBL124)을 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결하고, 제 3 열 게이트 회로 (1803)는 그로벌 비트 라인들 (GBL128, GBL132, ..., GBL188)을 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결하며, 제 4 열 게이트 회로 (1804)는 그로벌 비트 라인들 (GBL192, GBL196, ..., GBL252)을 대응하는 감지 증폭기들 (SA0-SA15)에 각각 연결한다. 이에 반해서, 제 1 열 게이트 회로 (1801)는 그로벌 비트 라인들 (GBL1, GBL5, ..., GBL61)을 감지 증폭기들 (SA0-SA15)에 각각 연결한다.

- <103> 여기서, 제 2 내지 제 4 열 게이트 회로들은 현재 입력된 열 어드레스 (예를 들면, N)의 그로벌 비트 라인들을 선택하는 반면에, 제 1 열 게이트 회로는 입력된 열 어드레스의 상위 어드레스 (예를 들면, N+1)의 그로벌 비트 라인들을 선택한다.
- <104> 이후, 감지 증폭기 그룹들 (1901-1904)의 감지 증폭기들 (SA0-SA15)은 잘 알려진 방식으로 데이터를 감지 증폭할 것이다. 감지 증폭 동작이 완료되면, 감지 증폭기 그룹들 (1902, 1903, 1904, 1901)에 의해서 감지된 데이터 워드들이 이 순서로 외부로 출력된다. 이때, 출력되는 데이터 워드들은 외부에서 N, (N+1), (N+2) 및 (N+3)번째 열 어드레스들의 데이터 워드들로서 여겨질 것이다.
- <105> 열 어드레스가 4N에 정렬되지 않을 때, 예를 들면, 열 어드레스 신호들 (A1A0)이 "10" 및 "11"일 때, 앞서 설명된 것과 동일한 방식으로 열 선택 동작이 수행될 것이다. 예를 들면, 열 어드레스 신호들 (A1A0)가 "10"일 때, 감지 증폭기 그룹들 (1903, 1904, 1901, 1902)에 의해서 감지된 데이터 워드들이 이 순서로 외부로 출력된다. 따라서, 제 3 및 제 4 열 게이트 회로들은 현재 입력된 열 어드레스 (예를 들면, N)의 그로벌 비트 라인들을 선택하는 반면에, 제 1 및 제 2 열 게이트 회로들은 입력된 열 어드레스의 상위 어드레스 (예를 들면, N+1)의 그로벌 비트 라인들을 선택한다. 출력되는 데이터 워드들은 외부에서 N, (N+1), (N+2) 및 (N+3)번째 열 어드레스들의 데이터 워드들로서 여겨질 것이다. 마찬가지로, 열 어드레스 신호들 (A1A0)가 "11"일 때, 감지 증폭기 그룹들 (1904, 1901, 1902, 1903)에 의해서 감지된 데이터 워드들이 이 순서로 외부로 출력된다. 따라서, 제 4 열 게이트 회로는 현재 입력된 열 어드레스 (예를 들면, N)의 그로벌 비트 라인들을 선택하는 반면에, 제 1 내지 제 3 열 게이트 회로들은 입력된 열 어드레스의 상위 어드레스 (예를 들면, N+1)의 그로벌 비트 라인들을 선택한다. 출력되

는 데이터 워드들은 외부에서 N , $(N+1)$, $(N+2)$ 및 $(N+3)$ 번째 열 어드레스들의 데이터 워드들로
서 여겨질 것이다.

<106> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였
지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는
범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<107> 본 발명의 열 게이트 회로의 구조에 따르면, 버스트 길이의 증가에 비례하여 열 선택 신
호 라인들의 수가 증가되는 것을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

각각이 복수 개의 메모리 셀들과 연결된 복수 개의 열들과;

열 어드레스에 응답하여 상기 복수 개의 열들 중 일부를 선택하는 열 선택 회로와; 그
리고

상기 열 선택 회로에 의해서 선택된 열들에 연결된 복수 개의 감지 증폭기 그룹들을 포함하며,

상기 열 선택 회로는 상기 열 어드레스가 $4N$ (N 은 1 또는 그 보다 큰 정수)에 정렬되었는지의 여부에 따라 상기 열들을 가변적으로 선택하는 불 휘발성 반도체 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 열 선택 회로는 상기 열 어드레스가 $4N$ 에 정렬될 때 상기 열 어드레스의 열들을 선택하고 상기 열 어드레스가 $4N$ 에 정렬되지 않을 때 상위 열 어드레스의 열들을 선택하는 불 휘발성 반도체 메모리 장치.

【청구항 3】

제 1 항에 있어서,

상기 열 선택 회로는

제 1 열 선택 신호들과 제 2 열 선택 신호들에 응답하여 상기 열들 중 일부를 선택하는 게이트 회로와;

상기 열 어드레스 중 제 1 열 어드레스에 응답하여 상기 제 1 열 선택 신호들을 발생하
는 디코더와; 그리고

상기 열 어드레스 중 제 2 열 어드레스에 따라 상기 열 어드레스가 4N에 정렬되었는 지
의 여부를 판별하는 수단을 포함하며,

상기 판별 수단은 상기 게이트 회로가 상기 열 어드레스의 열들과 상위 열 어드레스의
열들 중 하나의 열들을 선택하도록 상기 제 2 열 선택 신호들을 발생하는 불 휘발성 반도체 메
모리 장치.

【청구항 4】

제 3 항에 있어서,

상기 제 2 열 어드레스는 상기 열 어드레스 중 적어도 2개의 최하위 비트들을 포함하는
불 휘발성 반도체 메모리 장치.

【청구항 5】

제 3 항에 있어서,

상기 열들은 상기 복수 개의 감지 증폭기 그룹들에 각각 대응하는 복수 개의 열 그룹들
로 구분되고, 상기 게이트 회로는 상기 복수 개의 열 그룹들에 각각 대응하는 복수 개의 열 게
이트 유니트들을 포함하는 불 휘발성 반도체 메모리 장치.

【청구항 6】

제 5 항에 있어서,

상기 복수 개의 열 게이트 유니트들 각각은

상기 열 어드레스가 4N에 정렬될 때 상기 제 1 및 제 2 열 선택 신호들에 응답하여 대응하는 열 그룹의 열들 중 제 1 열을 선택하는 수단과; 그리고

상기 열 어드레스가 4N에 정렬되지 않을 때 상기 제 1 및 제 2 열 선택 신호들에 응답하여 대응하는 열 그룹의 열들 중 제 2 열을 선택하는 수단을 포함하며,

상기 제 1 열은 상기 열 어드레스에 대응하고 상기 제 2 열은 상위 열 어드레스에 대응하는 불 휘발성 반도체 메모리 장치.

【청구항 7】

제 5 항에 있어서,

상기 복수 개의 열 그룹들 각각은 제 1 내지 제 4 열들을 포함하고, 상기 제 1 열 선택 신호들은 4개의 열 선택 신호들을 포함하며, 상기 제 2 열 선택 신호들은 2개의 열 선택 신호들을 포함하는 불 휘발성 반도체 메모리 장치.

【청구항 8】

제 7 항에 있어서,

상기 복수 개의 열 게이트 유니트들 각각은

상기 제 1 열과 대응하는 감지 증폭기 그룹의 감지 증폭기 사이에 직렬 연결된 제 1 및 제 2 트랜지스터들과;

상기 제 2 열과 상기 감지 증폭기 사이에 직렬 연결된 제 3 및 제 4 트랜지스터들과;

상기 제 3 열과 상기 감지 증폭기 사이에 직렬 연결된 제 5 및 제 6 트랜지스터들과;

상기 제 4 열과 상기 감지 증폭기 사이에 직렬 연결된 제 7 및 제 8 트랜지스터들과;

상기 제 2 열과 상기 감지 증폭기 사이에 직렬 연결된 제 9 및 제 10 트랜지스터들과;

상기 제 3 열과 상기 감지 증폭기 사이에 직렬 연결된 제 11 및 제 12 트랜지스터들과;
그리고

상기 제 4 열과 상기 감지 증폭기 사이에 직렬 연결된 제 13 및 제 14 트랜지스터들을
포함하는 불 휘발성 반도체 메모리 장치.

【청구항 9】

제 8 항에 있어서,

상기 제 1 및 제 9 트랜지스터들은 상기 제 1 열 선택 신호들 중 첫 번째 열 선택 신호
에 제어되고, 상기 제 3 및 제 11 트랜지스터들은 상기 제 1 열 선택 신호들 중 두 번째 열 선택
신호에 제어되고, 상기 제 5 및 제 13 트랜지스터들은 상기 제 1 열 선택 신호들 중 세 번
째 열 선택 신호에 제어되고, 상기 제 7 트랜지스터는 상기 제 1 열 선택 신호들 중 네 번째
열 선택 신호에 제어되며,

상기 제 2, 제 4, 제 6, 그리고 제 8 트랜지스터들은 상기 제 2 열 선택 신호들 중 하나
에 의해서 제어되고, 상기 제 10, 제 12, 그리고 제 14 트랜지스터들은 상기 제 2 열 선택 신
호들 중 다른 하나에 의해서 제어되는 불 휘발성 반도체 메모리 장치.

【청구항 10】

제 9 항에 있어서,

상기 제 2 열 선택 신호들 중 하나의 열 선택 신호는 상기 열 어드레스가 4N에 정렬될
때 활성화되는 불 휘발성 반도체 메모리 장치.

【청구항 11】

제 9 항에 있어서,

상기 제 2 열 선택 신호들 중 다른 하나의 열 선택 신호는 상기 열 어드레스가 4N에 정렬되지 않을 때 활성화되는 불 휘발성 반도체 메모리 장치.

【청구항 12】

소정의 버스트 길이의 버스트 읽기 동작을 수행하는 불 휘발성 반도체 메모리 장치에 있어서:

각각이 복수 개의 로컬 비트 라인들을 포함하는 복수 개의 섹터들과;

복수 개의 그로벌 비트 라인들과;

열 어드레스 중 제 1 열 어드레스에 따라, 상기 섹터들 중 하나를 선택하고 선택된 섹터의 로컬 비트 라인들 중 일부를 상기 그로벌 비트 라인들에 각각 연결하는 제 1 열 선택 회로와;

각각이 복수 개의 감지 증폭기들을 포함하는 복수 개의 감지 증폭기 그룹들과;

상기 감지 증폭기 그룹들의 수는 상기 버스트 길이에 대응하며;

상기 복수 개의 감지 증폭기 그룹들을 선택하기 위한 상기 열 어드레스 중 제 2 열 어드레스가 4N에 정렬되었는지의 여부에 따라 상기 복수 개의 그로벌 비트 라인들을 가변적으로 선택하는 제 2 열 선택 회로를 포함하며,

상기 열 어드레스가 4N에 정렬되지 않을 때, 상기 제 2 열 선택 회로는 상기 제 2 열 어드레스의 감지 증폭기 그룹 및 상위 감지 증폭기 그룹(들)을 상기 열 어드레스의 그로벌 비트

라인들에 연결하고 나머지 하위 감지 증폭기 그룹들을 상위 열 어드레스의 그로벌 비트 라인들에 연결하는 것을 특징으로 하는 불 휘발성 반도체 메모리 장치.

【청구항 13】

제 12 항에 있어서,

상기 열 어드레스가 4N에 정렬될 때, 상기 제 2 열 선택 회로는 상기 복수 개의 감지 증폭기 그룹들을 상기 열 어드레스의 그로벌 비트 라인들에 연결하는 것을 특징으로 하는 불 휘발성 반도체 메모리 장치.

【청구항 14】

제 12 항에 있어서,

상기 제 2 열 어드레스는 상기 열 어드레스 중 적어도 2개의 최하위 비트들을 포함하는 것을 특징으로 하는 불 휘발성 반도체 메모리 장치.

【청구항 15】

제 12 항에 있어서,

상기 제 1 열 어드레스 중 일부에 응답하여 열 선택 신호들을 발생하는 제 1 디코더와;

상기 섹터들에 각각 대응하며, 각각이 상기 열 선택 신호들에 응답하여 대응하는 섹터의 로컬 비트 라인들 중 일부를 선택하는 복수 개의 제 1 열 게이트 유니트들과;

상기 제 1 열 어드레스 중 나머지에 응답하여 섹터 선택 회로들을 발생하는 제 2 디코더와; 그리고

상기 섹터들에 각각 대응하며, 각각이 대응하는 제 1 열 게이트 유니트에 의해서 선택된 로컬 비트 라인들을 상기 그로벌 비트 라인들에 각각 연결하는 복수 개의 섹터 선택기들을 포함하는 것을 특징으로 하는 불 휘발성 반도체 메모리 장치.

【청구항 16】

제 12 항에 있어서,

상기 제 2 열 선택 회로는

제 1 열 선택 신호들과 제 2 열 선택 신호들에 응답하여 상기 그로벌 비트 라인들 중 일부를 선택하는 열 게이트 회로와;

상기 제 2 열 어드레스 중 일부에 응답하여 상기 제 1 열 선택 신호들을 발생하는 디코더와; 그리고

상기 제 2 열 어드레스 중 나머지에 의거하여, 상기 열 어드레스가 4N에 정렬되었는지의 여부를 판별하는 수단을 포함하며,

상기 판별 수단은 상기 제 2 열 게이트 회로가 상기 열 어드레스의 그로벌 비트 라인들과 상위 열 어드레스의 그로벌 비트 라인들 중 하나의 그로벌 비트 라인들을 선택하도록 상기 제 2 열 선택 신호들을 발생하는 것을 특징으로 하는 불 휘발성 반도체 메모리 장치.

【청구항 17】

제 16 항에 있어서,

상기 그로벌 비트 라인들은 상기 복수 개의 감지 증폭기 그룹들에 각각 대응하는 복수 개의 그룹들로 구분되고, 상기 제 2 열 게이트 회로는 그로벌 비트 라인들의 그룹들에 각각 대응하는 복수 개의 열 게이트 유니트들을 것을 특징으로 하는 불 휘발성 반도체 메모리 장치.

【청구항 18】

제 17 항에 있어서,

상기 복수 개의 열 게이트 유니트들 각각은

상기 열 어드레스가 4N에 정렬되었을 때 상기 제 1 및 제 2 열 선택 신호들에 응답하여 대응하는 그룹의 그로벌 비트 라인들 중 제 1 그로벌 비트 라인을 선택하는 수단과; 그리고

상기 열 어드레스가 4N에 정렬되지 않을 때 상기 제 1 및 제 2 열 선택 신호들에 응답하여 대응하는 그룹의 그로벌 비트 라인들 중 제 2 그로벌 비트 라인을 선택하는 수단을 포함하며,

상기 제 1 그로벌 비트 라인은 상기 열 어드레스에 대응하고 상기 제 2 그로벌 비트 라인은 상위 열 어드레스에 대응하는 것을 특징으로 하는 불 휘발성 반도체 메모리 장치.

【청구항 19】

제 18 항에 있어서,

그로벌 비트 라인들의 그룹들 각각은 제 1 내지 제 4 그로벌 비트 라인들을 포함하고, 상기 제 1 열 선택 신호들은 4개의 열 선택 신호들을 포함하며, 상기 제 2 열 선택 신호들은 2개의 열 선택 신호들을 포함하는 것을 특징으로 하는 불 휘발성 반도체 메모리 장치.

【청구항 20】

제 19 항에 있어서,

그로벌 비트 라인들 제 1 그로벌 비트 라인을 선택하는 수단은

상기 제 1 그로벌 비트 라인과 대응하는 감지 증폭기 그룹의 감지 증폭기 사이에 직렬 연결된 제 1 및 제 2 트랜지스터들과;

상기 제 2 그로벌 비트 라인과 상기 감지 증폭기 사이에 직렬 연결된 제 3 및 제 4 트랜지스터들과;

상기 제 3 그로벌 비트 라인과 상기 감지 증폭기 사이에 직렬 연결된 제 5 및 제 6 트랜지스터들과; 그리고

상기 제 4 그로벌 비트 라인과 상기 감지 증폭기 사이에 직렬 연결된 제 7 및 제 8 트랜지스터들을 포함하며,

상기 제 1, 제 3, 제 5, 그리고 제 7 트랜지스터들은 상기 제 1 열 선택 신호들에 의해서 각각 제어되고; 상기 제 2, 제 4, 제 6, 그리고 제 8 트랜지스터들은 상기 제 2 열 선택 신호들 중 하나에 의해서 제어되는 것을 특징으로 하는 불 휘발성 반도체 메모리 장치.

【청구항 21】

제 20 항에 있어서,

상기 제 2 열 선택 신호들 중 하나의 열 선택 신호는 상기 열 어드레스가 4N에 정렬될 때 활성화되는 것을 특징으로 하는 불 휘발성 반도체 메모리 장치.

【청구항 22】

제 20 항에 있어서,

그로벌 비트 라인들 제 2 그로벌 비트 라인을 선택하는 수단은

상기 제 2 그로벌 비트 라인과 상기 감지 증폭기 사이에 직렬 연결된 제 9 및 제 10 트랜지스터들과;

상기 제 3 그로벌 비트 라인과 상기 감지 증폭기 사이에 직렬 연결된 제 11 및 제 12 트랜지스터들과; 그리고

상기 제 4 그로벌 비트 라인과 상기 감지 증폭기 사이에 직렬 연결된 제 13 및 제 14 트랜지스터들을 포함하며,

상기 제 9, 제 11, 그리고 제 13 트랜지스터들은 상기 제 1 열 선택 신호들 중 첫 번째, 두 번째 그리고 세 번째 열 선택 신호들에 의해서 각각 제어되고; 그리고 상기 제 10, 제 12, 그리고 제 14 트랜지스터들은 상기 제 2 열 선택 신호들 중 다른 하나에 의해서 제어되는 것을 특징으로 하는 불 휘발성 반도체 메모리 장치.

【청구항 23】

제 22 항에 있어서,

상기 제 2 열 선택 신호들 중 다른 하나의 열 선택 신호는 상기 열 어드레스가 4N에 정렬되지 않을 때 활성화되는 것을 특징으로 하는 불 휘발성 반도체 메모리 장치.

【청구항 24】

복수 개의 비트 라인들과 연결되는 메모리 셀들을 포함하는 섹터와;

상기 비트 라인들과 연결되며, 제 1 열 선택 신호들과 제 2 열 선택 신호들을 입력으로 하는 복수 개의 게이트 회로들과; 그리고

상기 게이트 회로들에 각각 연결되며, 각각이 복수 개의 단위 감지 증폭기들로 구성되는 감지 증폭기 그룹들을 포함하며, 상기 게이트 회로들은 상기 제 1 열 선택 신호들에 의해서 공통으로 제어되고 상기 제 2 열 선택 신호들에 의해서 각각 제어하는 플래시 메모리 장치.

【청구항 25】

제 24 항에 있어서,

상기 게이트 회로들 각각은 복수 개의 게이트 유니트들을 포함하는 플래시 메모리 장치.

【청구항 26】

제 25 항에 있어서,

상기 게이트 유닛들은 상기 제 1 열 선택 신호들을 입력으로 하는 제 1 스위치와 상기 제 2 열 선택 신호들을 입력으로 하는 제 2 스위치를 포함하며, 상기 제 1 및 제 2 스위치들은 직렬 연결되는 플래시 메모리 장치.

【청구항 27】

제 25 항에 있어서,

상기 게이트 유닛들 각각은 대응하는 비트 라인과 대응하는 단위 감지 증폭기 사이에 형성되는 제 1 전류 통로와 제 2 전류 통로를 포함하고, 상기 제 1 전류 통로는 상기 제 2 전류 통로와 병렬로 연결되는 플래시 메모리 장치.

【청구항 28】

제 25 항에 있어서,

상기 게이트 유닛들 각각은 대응하는 비트 라인과 대응하는 단위 감지 증폭기 사이에 위치한 적어도 하나의 병렬 전류 통로를 포함하는 플래시 메모리 장치.

【청구항 29】

제 24 항에 있어서,

열 어드레스를 디코딩하여 상기 제 1 열 선택 신호들을 발생하는 디코더와; 그리고

상기 열 어드레스가 4N에 정렬되었는지의 여부를 판별하여 상기 제 2 열 선택 신호들을 발생하는 수단을 더 포함하는 플래시 메모리 장치.

【청구항 30】

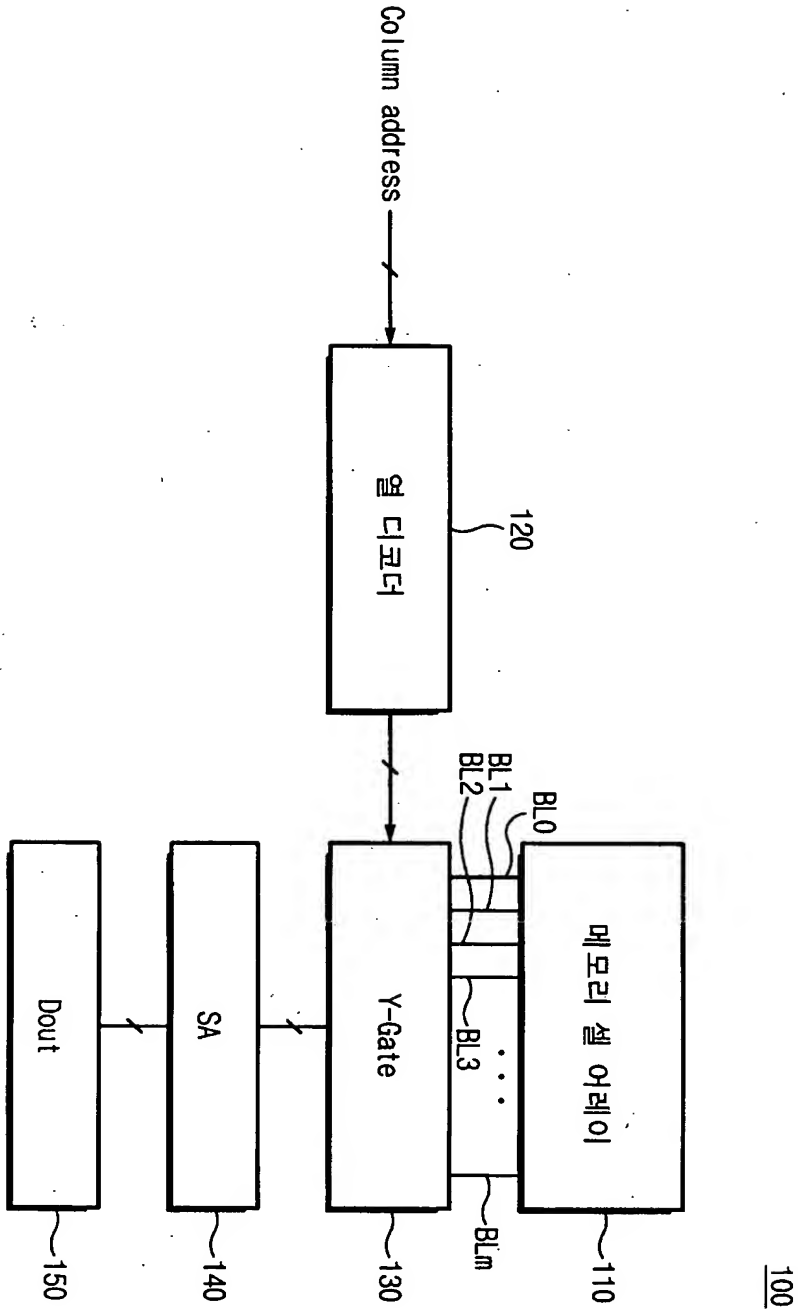
제 27 항에 있어서,

상기 제 1 및 제 2 전류 통로들 각각은 제 1 및 제 2 NMOS 트랜지스터들로 구성되며, 상기 제 1 NMOS 트랜지스터는 대응하는 제 1 열 선택 신호에 의해서 제어되고 상기 제 2 NMOS 트랜지스터는 대응하는 제 2 열 선택 신호에 의해서 제어되는 플래시 메모리 장치.

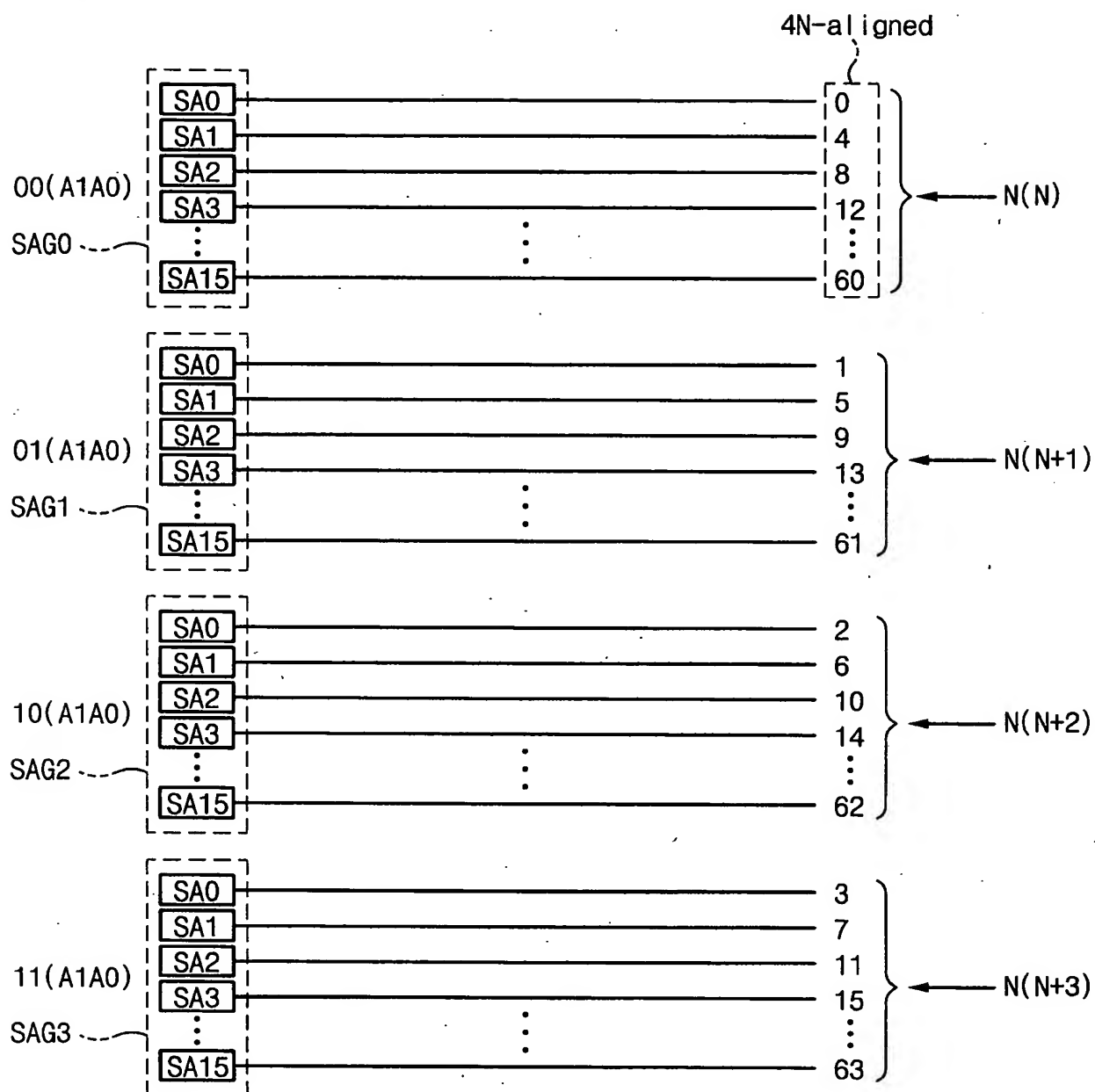


【도면】

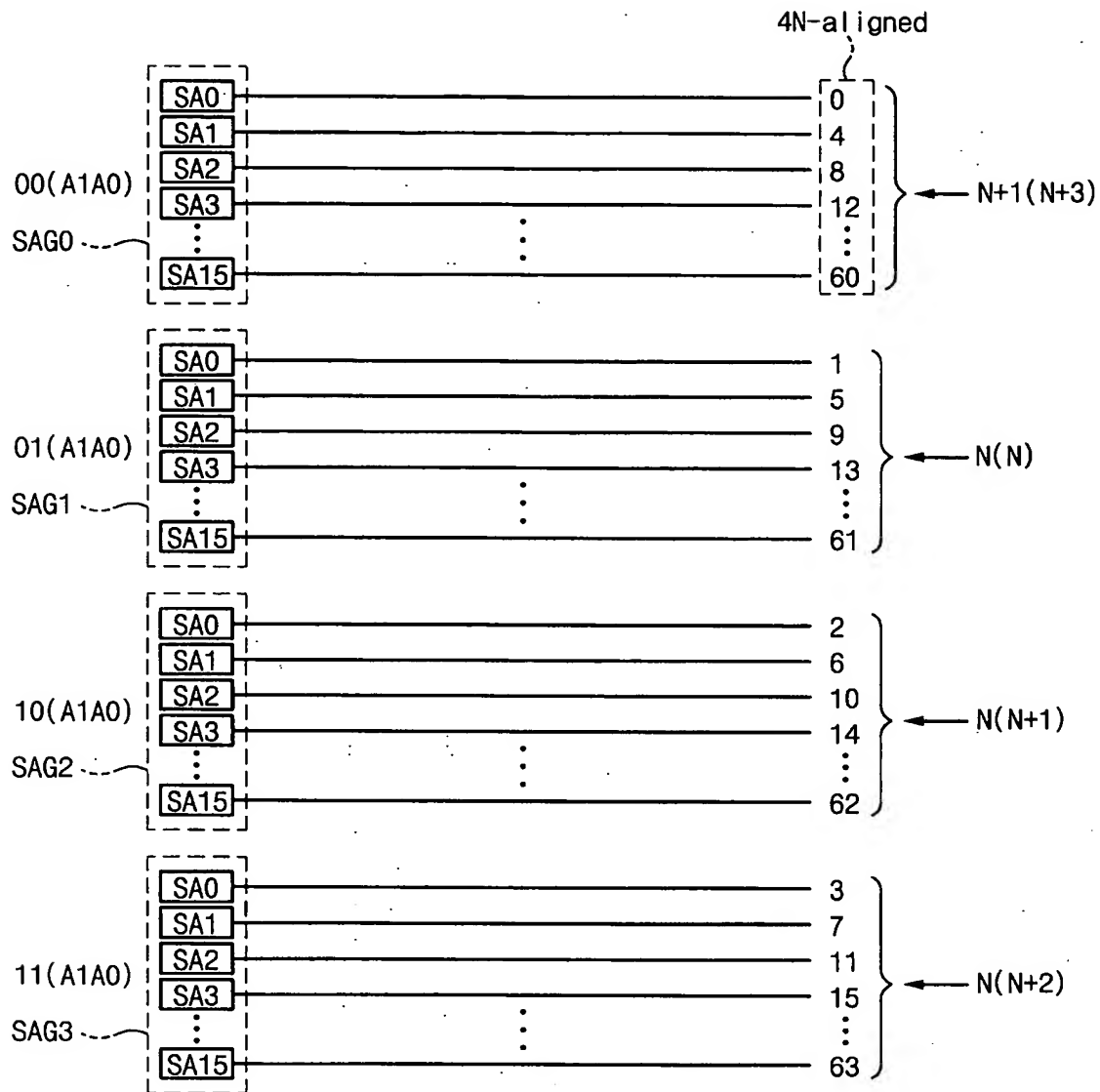
【도 1】



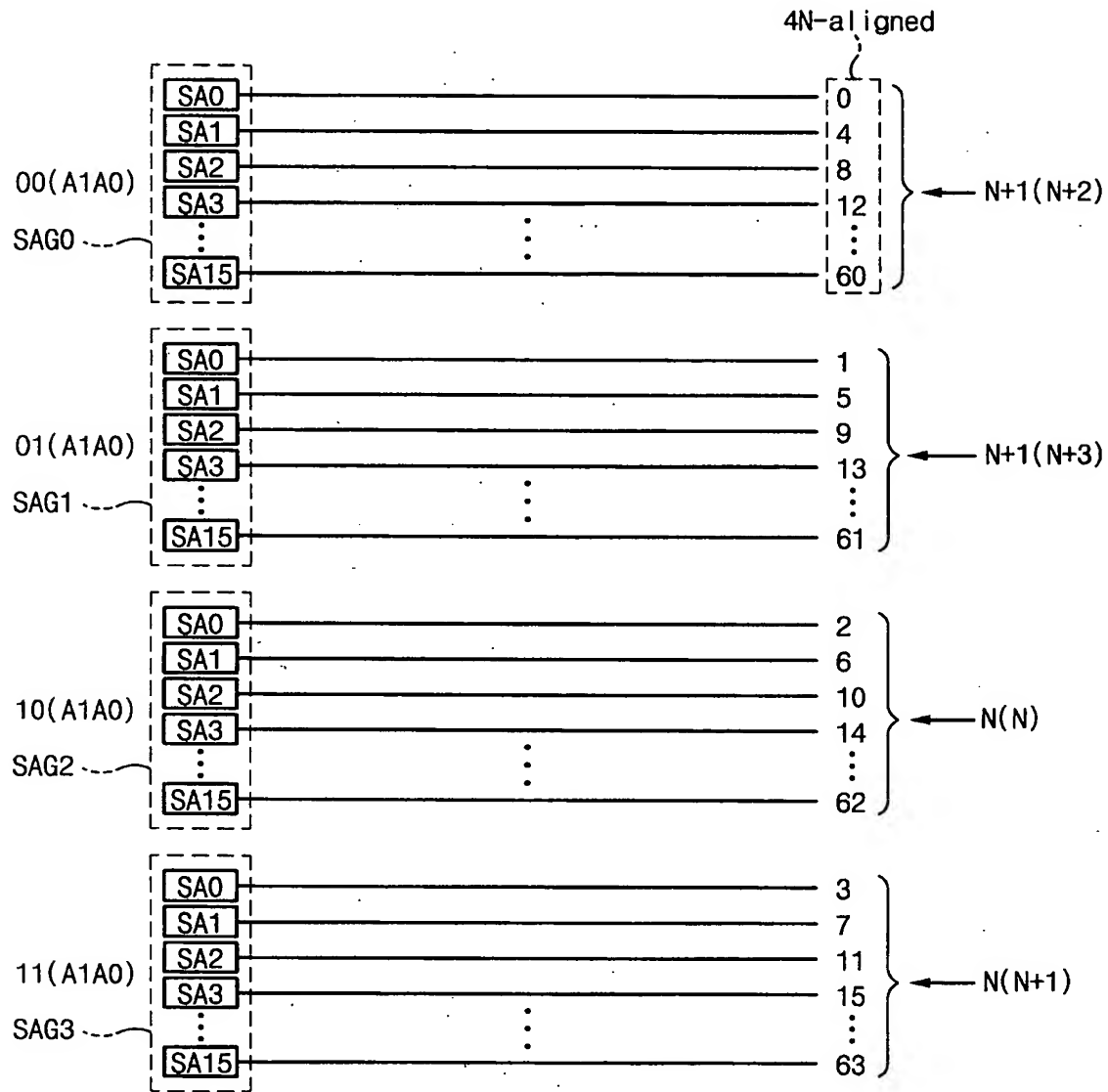
【도 2a】



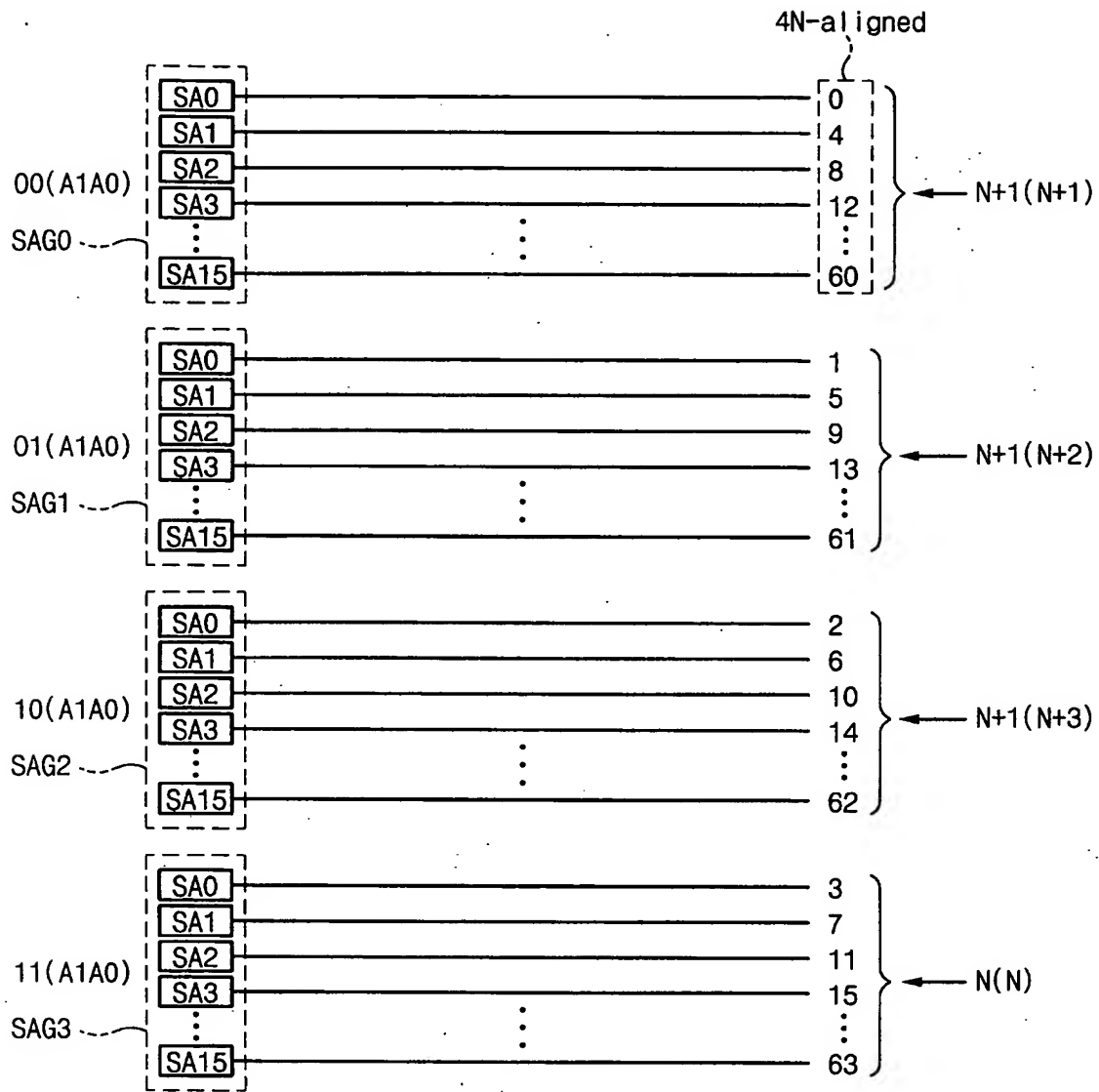
【도 2b】



【도 2c】

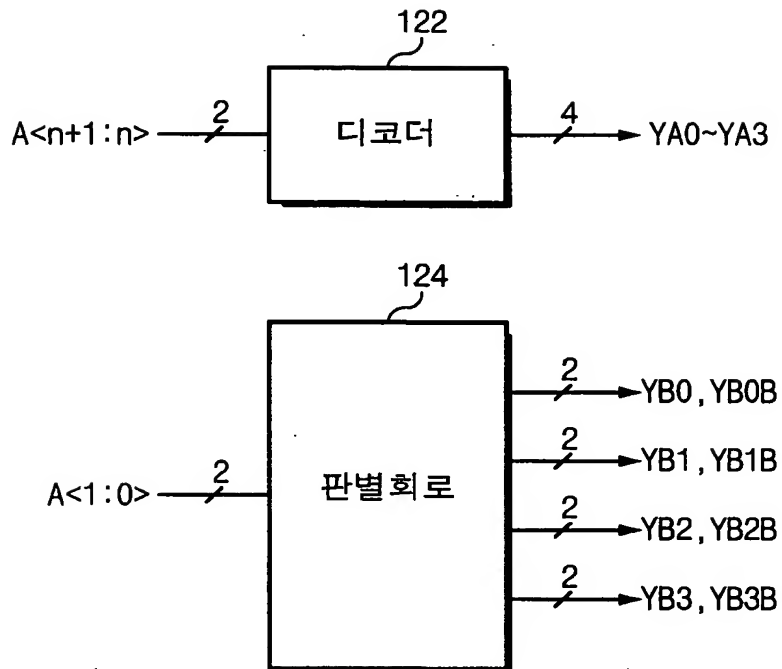


【도 2d】



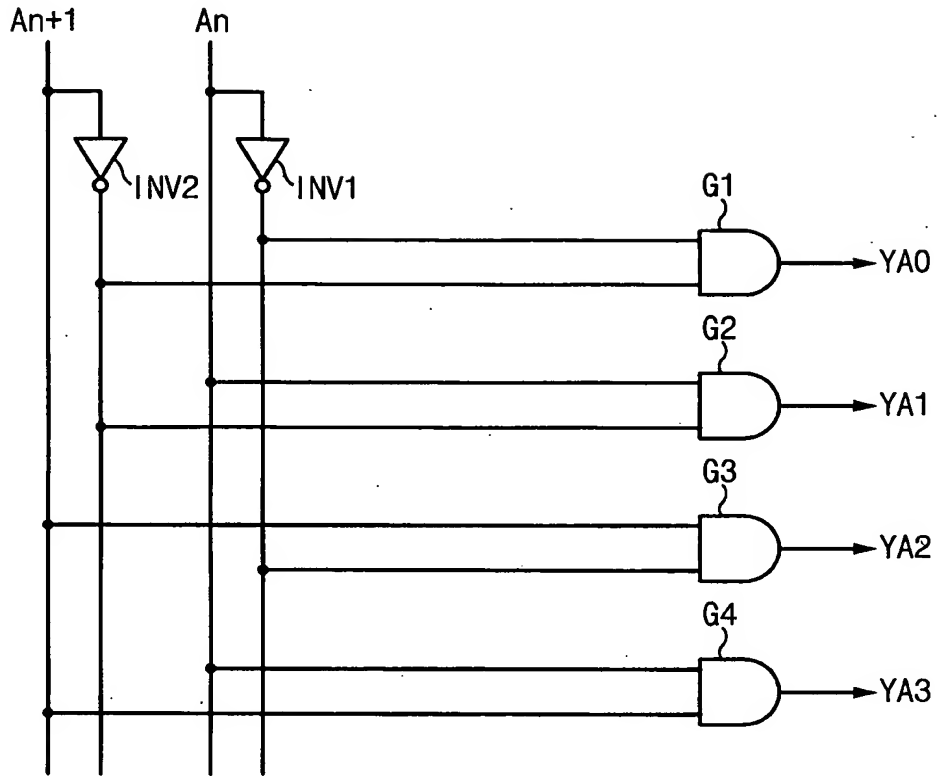
【도 3】

120

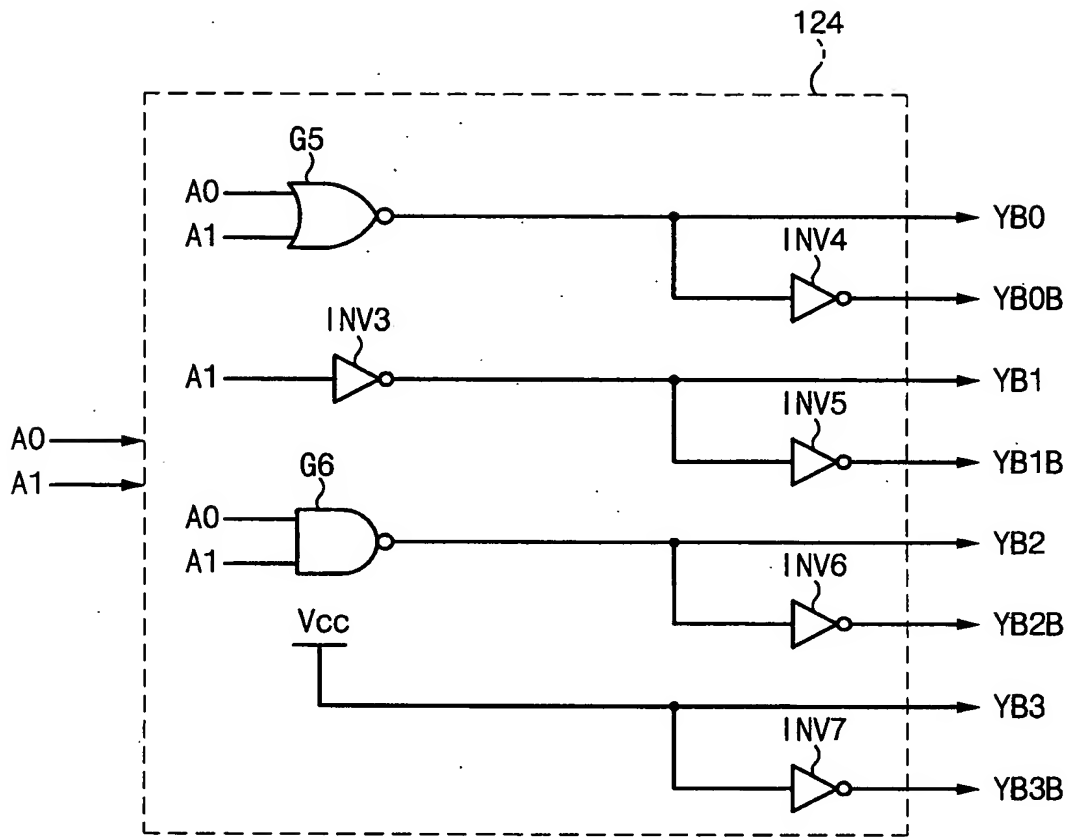


【도 4】

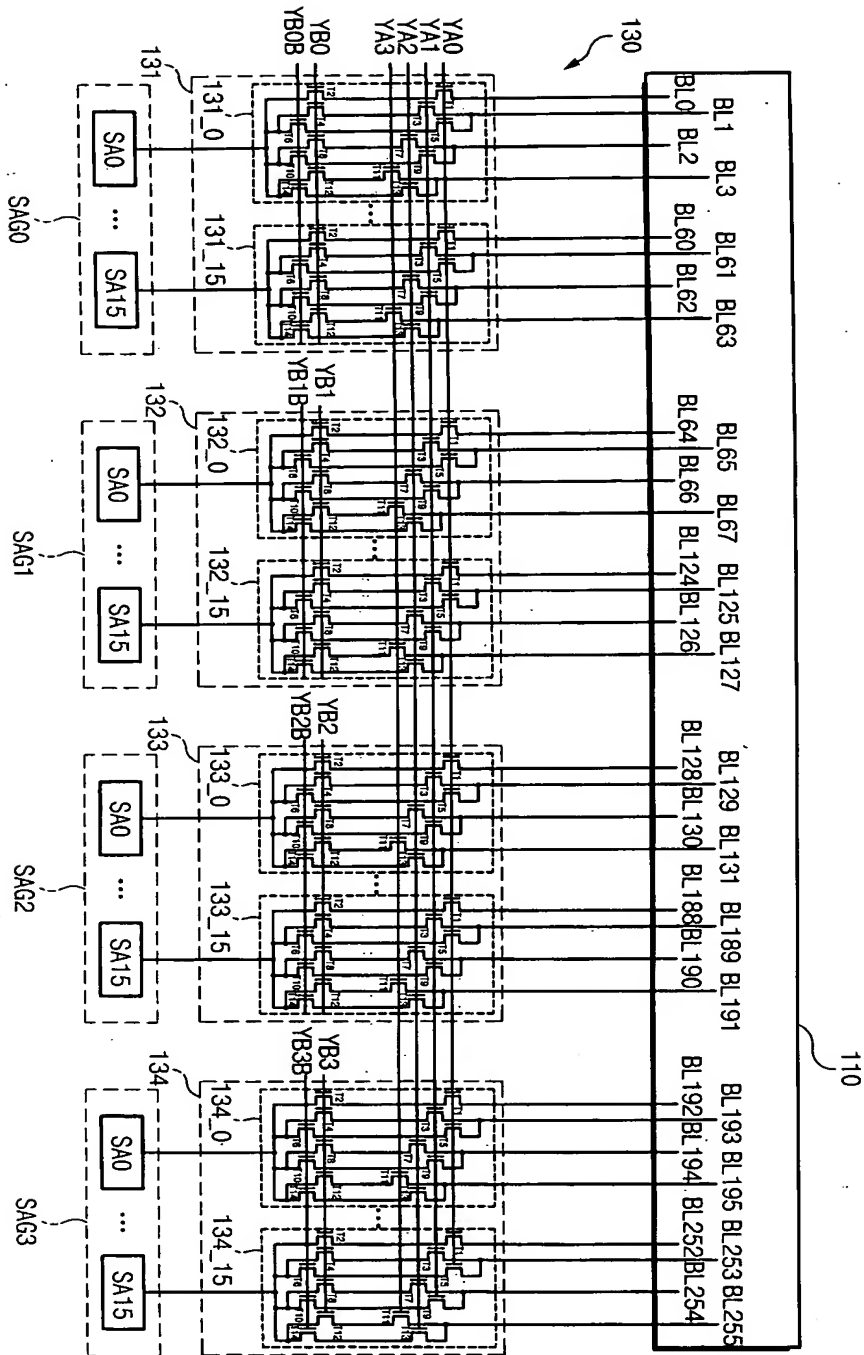
122



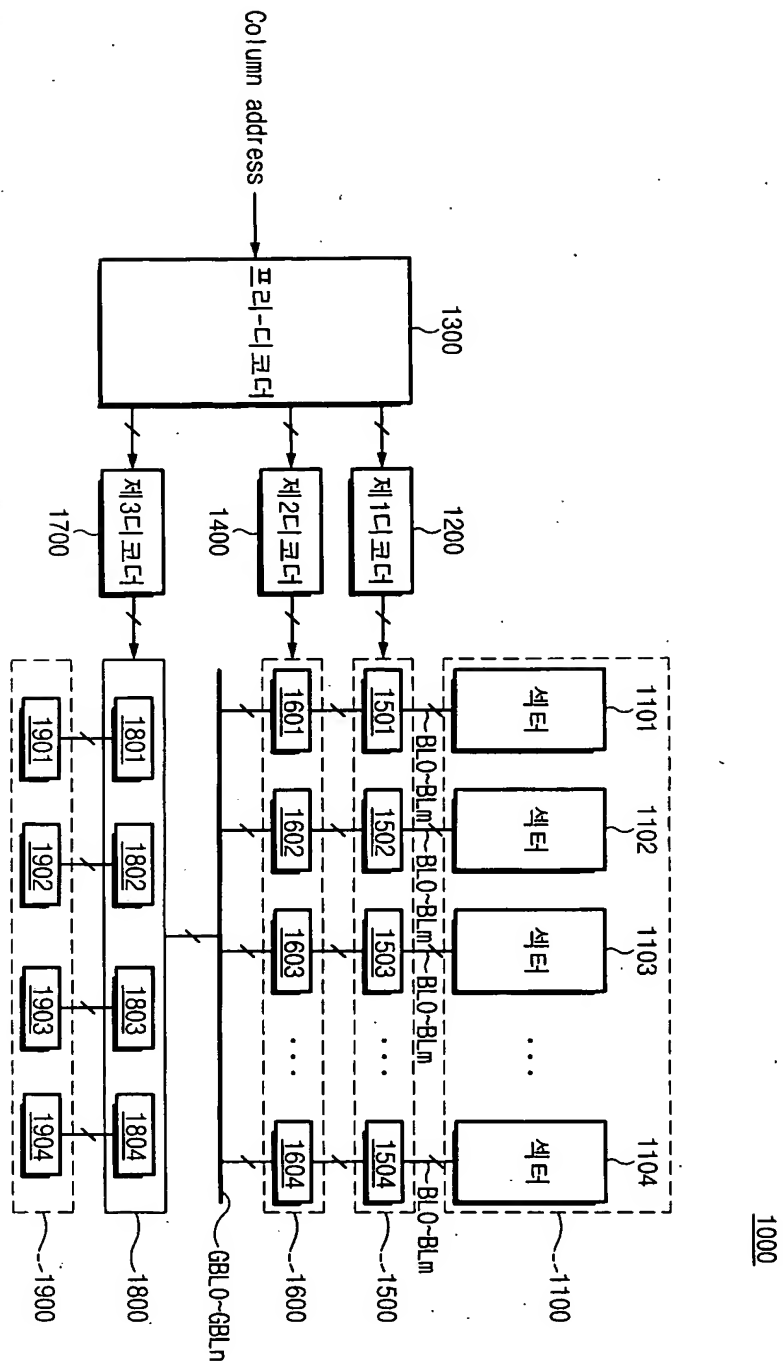
【도 5】



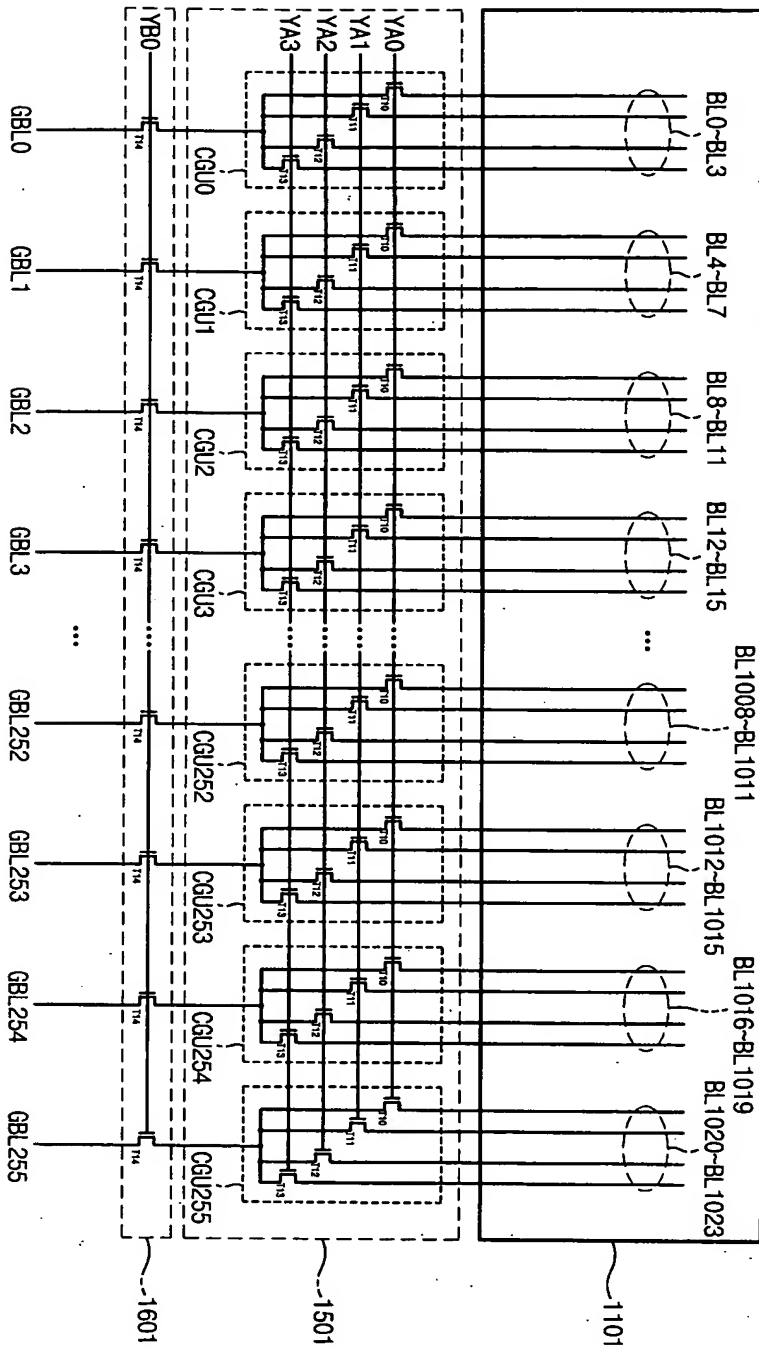
【도 6】



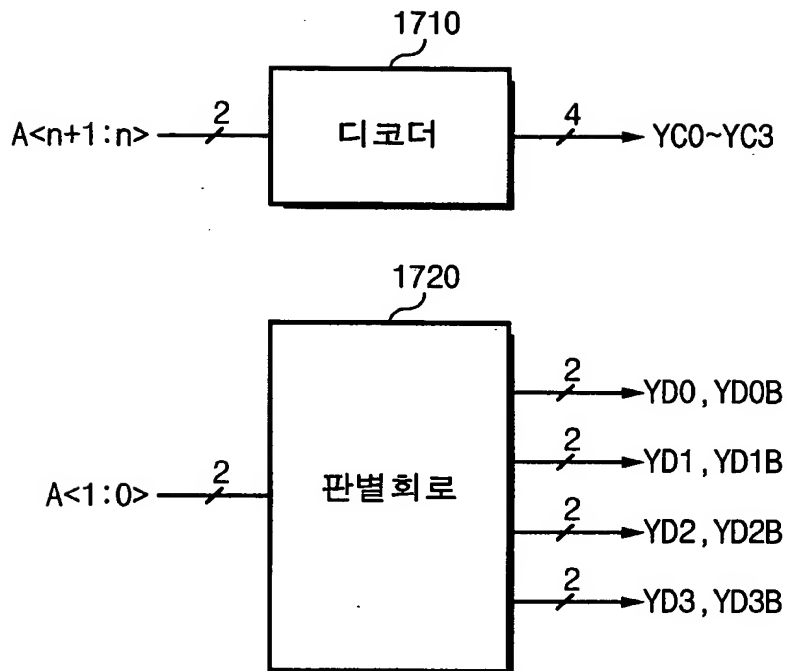
【도 7】



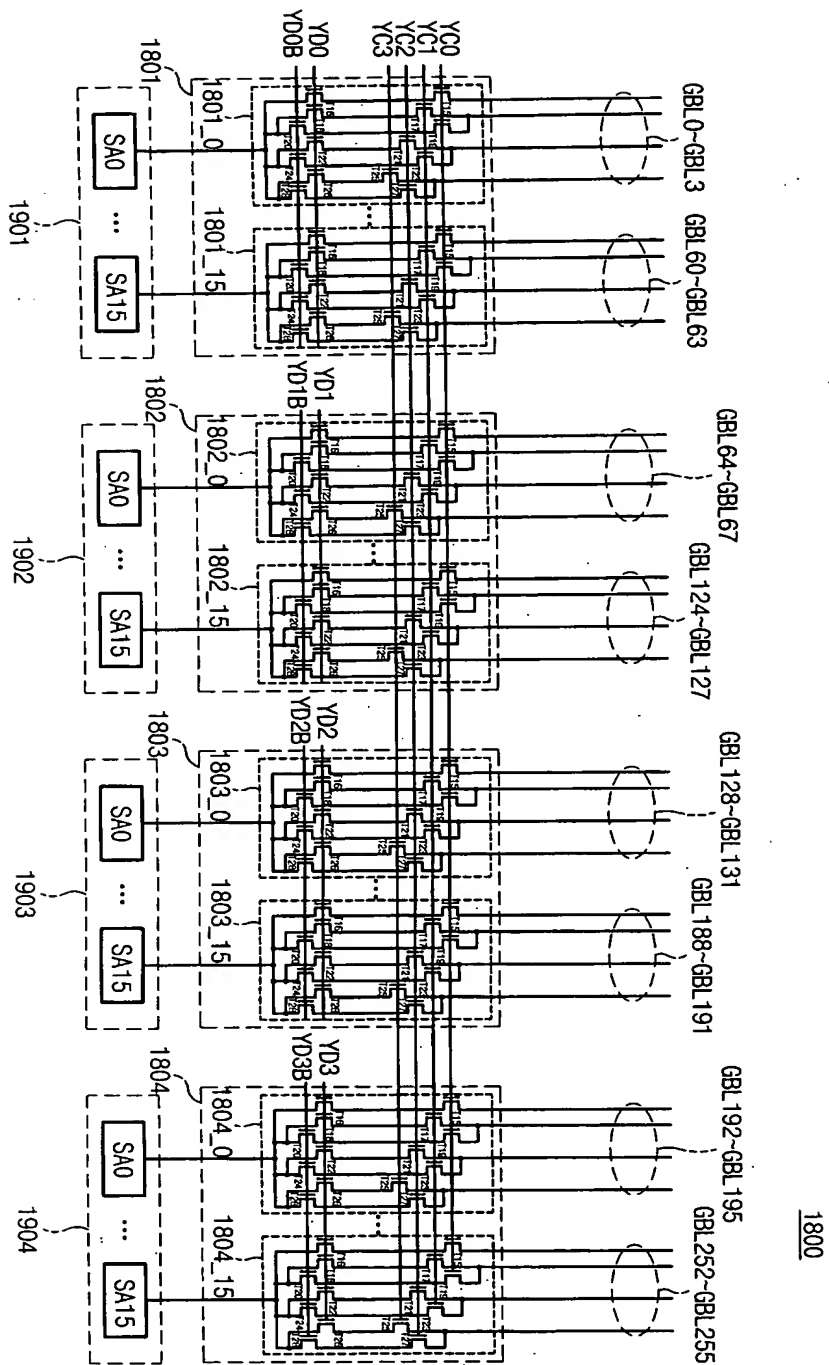
【도 8】



【도 9】

1700

【도 10】



【도 11】

